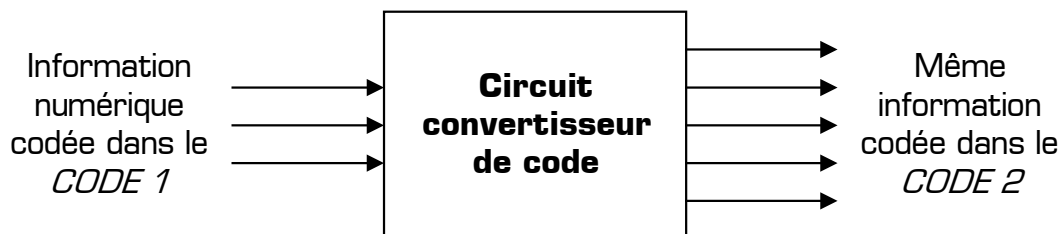


## Les décodeurs - Les transcodeurs

### I - Introduction

Les circuits combinatoires de transcodage [appelés aussi *convertisseurs de code*], se répartissent en 3 catégories. Tous ces circuits logiques transforment une information présente à leurs entrées sous une forme donnée [*code 1*] en la même information présente à leurs sorties sous une forme différente [*code 2*]. On appelle :

- \* **CODEUR** un circuit à  **$2^n$  entrées** et  **$n$  sorties**
- \* **DECODEUR** un circuit à  **$n$  entrées** et  **$2^n$  sorties** dont une seule est validée à la fois
- \* **TRANSCODEUR** tout autre circuit convertisseur de code différent des précédents, à  $p$  entrées et à  $k$  sorties.



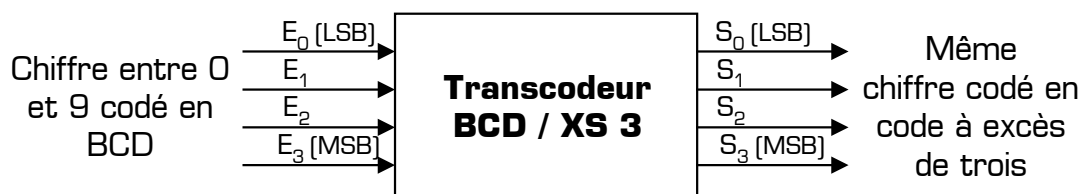
### II - Réalisation d'un transcodeurs

Comme pour la réalisation de tous les circuits en logique combinatoire, la conception d'un transcodeur passe par les 3 étapes suivantes :

- \* Ecriture de la table de vérité complète, indiquant la valeurs de toutes les sorties du circuit, en fonction de la valeur des entrées.
- \* Recherche et simplification des équations logiques de chacune des sorties. La simplification peut se faire soit en utilisant les tableaux de Karnaugh, soit par simplification algébrique en utilisant les propriétés de l'algèbre de Boole.
- \* Schéma du logigramme en utilisant les circuits [portes logiques] dont on dispose.

Remarque : le logigramme aura 2 couches de portes, ou à la rigueur une 3<sup>ème</sup> couche, s'il faut complémentar certaines variables d'entrée.

Exemple de réalisation d'un transcodeur : on désire réaliser un transcodage du code BCD vers le code à excès de trois. Les nombres d'entrée et de sortie sont exprimés sur 4 bits, et ce transcodeur pourra convertir tous les chiffres de 0 à 9.



**Etape n°1 de la conception du transcodeur :** Ecriture de la table de vérité :

Chiffre converti	Entrées (BCD)				Sorties (XS 3)			
	<b>E<sub>3</sub></b>	<b>E<sub>2</sub></b>	<b>E<sub>1</sub></b>	<b>E<sub>0</sub></b>	<b>S<sub>3</sub></b>	<b>S<sub>2</sub></b>	<b>S<sub>1</sub></b>	<b>S<sub>0</sub></b>

**Etape n°2 de la conception du transcodeur :** Recherche et simplification des équations des sorties :

S<sub>0</sub> = .....

S<sub>1</sub> = .....

S<sub>2</sub> = .....

S<sub>3</sub> = .....

Remarque : parmi les 16 combinaisons possibles applicables sur les 4 entrées du transcodeur, seules 10 combinaisons seront utilisées (pour coder les 10 chiffres à convertir). Les 6 autres ne seront jamais présentes à l'entrée du transcodeur. Des croix apparaissent alors dans 6 cases des tableaux de Karnaugh des sorties, ce qui permet de simplifier considérablement les équations.

**Etape n°3 de la conception du transcodeur :** Dessin du logigramme

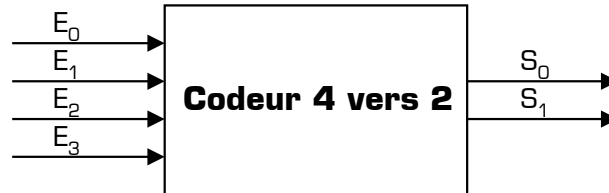


### III - Les codeurs

Ces circuits, qui possèdent  $2^n$  entrées et n sorties, codent en binaire sur leurs sorties le numéro de l'indice de l'entrée active.

#### III - 1 - Codeur élémentaire 4 vers 2

Symbole :



Ce codeur possède 4 entrées et 2 sorties. Une seule entrée doit être activée à la fois (par un état haut). On retrouve alors en sortie, en binaire, le numéro de l'entrée active entre 0 et 3.

Table de vérité du codeur 4 vers 2 :

Entrées				Sorties	
<b>E<sub>3</sub></b>	<b>E<sub>2</sub></b>	<b>E<sub>1</sub></b>	<b>E<sub>0</sub></b>	<b>S<sub>1</sub></b>	<b>S<sub>0</sub></b>

Equations logiques des sorties :

S<sub>0</sub> = .....

S<sub>1</sub> = .....

Logigramme du codeur 4 vers 2 :

E<sub>0</sub> \_\_\_\_\_

E<sub>1</sub> \_\_\_\_\_

\_\_\_\_\_ S<sub>0</sub>

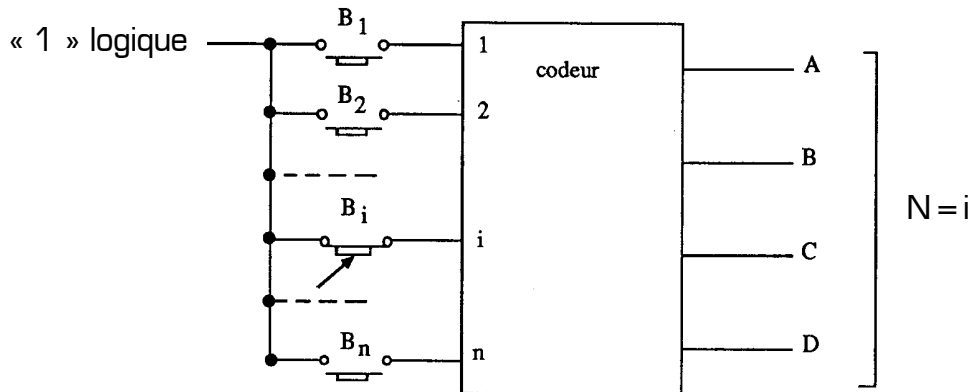
E<sub>2</sub> \_\_\_\_\_

\_\_\_\_\_ S<sub>1</sub>

E<sub>3</sub> \_\_\_\_\_

### III - 2 - Encodeur de priorité (ou codeur prioritaire)

Un codeur est un dispositif qui traduit les valeurs d'une entrée dans un code choisi. Par exemple, un clavier de console ou de machine à écrire comporte  $n$  touches. Chaque touche, représentative d'un caractère, est affectée d'un numéro. L'opération de codage consiste à donner à chaque numéro [donc à chaque caractère] un équivalent binaire, c'est-à-dire un mot composé d'éléments binaires.



Exemple : si  $i = 4 \rightarrow A=0, B=1, C=0, D=0$  pour un codeur binaire [le mot-code  $N$  à la sortie du codeur code le chiffre 4 correspondant à la touche enfoncée].

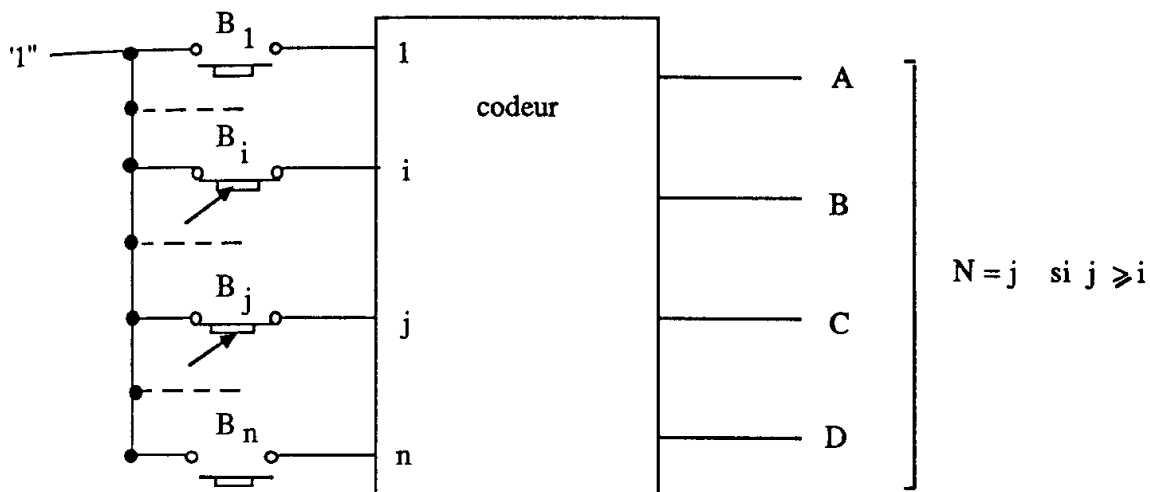
Si seul le bouton numéro  $i$  est actionné, le nombre binaire à 4 éléments  $A, B, C, D$  est égal à  $i$ , dans le code choisi [exemple : en binaire naturel].

#### Intérêt du codage :

Si le nombre de boutons est de 10, codé en binaire naturel, quatre variables suffisent. Pour un clavier classique, la quarantaine de touches se codent facilement avec seulement 6 variables binaires, et la transmission du numéro de la touche enfoncée s'effectue sur 6 fils, et non sur 40 fils [ce qui aurait été le cas si les touches n'étaient pas codées]. Le codage des informations apporte une réduction non négligeable du nombre de variables à traiter.

Si maladroitement plusieurs boutons sont enfoncés simultanément, le codeur classique donne un résultat erroné car il ne sait plus quel numéro doit être codé. On utilisera alors dans ce cas un *codeur prioritaire* [appelé aussi *encodeur de priorité*].

Un **codeur prioritaire** est un dispositif réalisant le codage du **numéro le plus élevé** dans le cas où **plusieurs boutons seraient actionnés**. Si une seule commande est envoyée sur le codeur prioritaire, celui-ci fonctionne comme un codeur classique.



### III - 3 - Exemple de circuit encodeur de priorité en technologie TTL : le 74 148

Ce circuit code en binaire sur ses sorties le numéro décimal de l'entrée activée.

Il a 8 entrées [ $E_7 \dots E_0$ ] et 3 sorties [ $S_2 \dots S_0$ ] qui codent en binaire l'indice de l'entrée activée [ou l'indice le plus élevé si plusieurs entrées sont activées]. En outre, il a une entrée de validation  $E_i$  et deux sorties de validation  $E_0$  et  $G_s$  pour la mise en cascade de plusieurs circuits semblables lors de l'extension à plus de 8 entrées. Les entrées et les sorties sont actives au niveau bas [L].

Le fonctionnement de ce circuit est expliqué par la table de fonctionnement donnée page suivante, que nous compléterons par les remarques suivantes :

- \* Si l'entrée de validation  $E_i = 1 \rightarrow$  toutes les sorties sont à 1 quel que soit l'état des entrées [ $E_0 = G_s = 1$ ]
- \* Si l'entrée de validation  $E_i = 0 \rightarrow$  le circuit fonctionne normalement

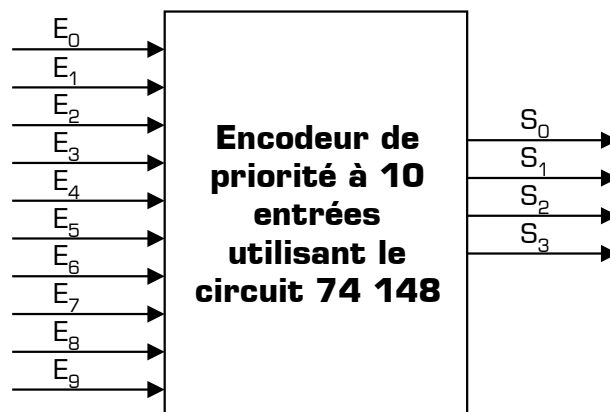
Lorsque le circuit fonctionne normalement [entrée de validation  $E_i$  à 0] :

- \* les sorties de validation sont activées et complémentaires  $G_s = \overline{E_0}$
- \* les sorties 2, 1, 0 donnent en binaire le numéro de l'entrée activée [codeur prioritaire]; en outre  $G_s = 0$ ,  $E_0 = 1$
- \* si aucune entrée 7 à 0 n'est activée, les 3 sorties 2, 1, 0 et  $G_s$  sont à 1
- \*  $G_s = 0$  et  $E_0 = 1$  si au moins une entrée est activée
- \*  $G_s = 1$  et  $E_0 = 0$  si aucune entrée n'est activée

#### Application du circuit 74 148 :

On désire réaliser un encodeur de priorité à 10 entrées, en utilisant le circuit 74 148.

Les 10 entrées devront être actives au niveau bas, et les 4 sorties actives au niveau haut. L'indice de l'entrée active doit être codée en binaire sur les sorties. Ce montage est parfois appelé *codeur « décimal/binaire »*.



- \* Dresser la table de fonctionnement de cet encodeur de priorité à 10 entrées.
- \* Proposer un schéma structural réalisant cet encodeur, en utilisant le circuit 74 148.

ENTREES									SORTIES				
$E_I$	0	1	2	3	4	5	6	7	2	1	0	$G_S$	$E_0$
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	L	H	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	H	L	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

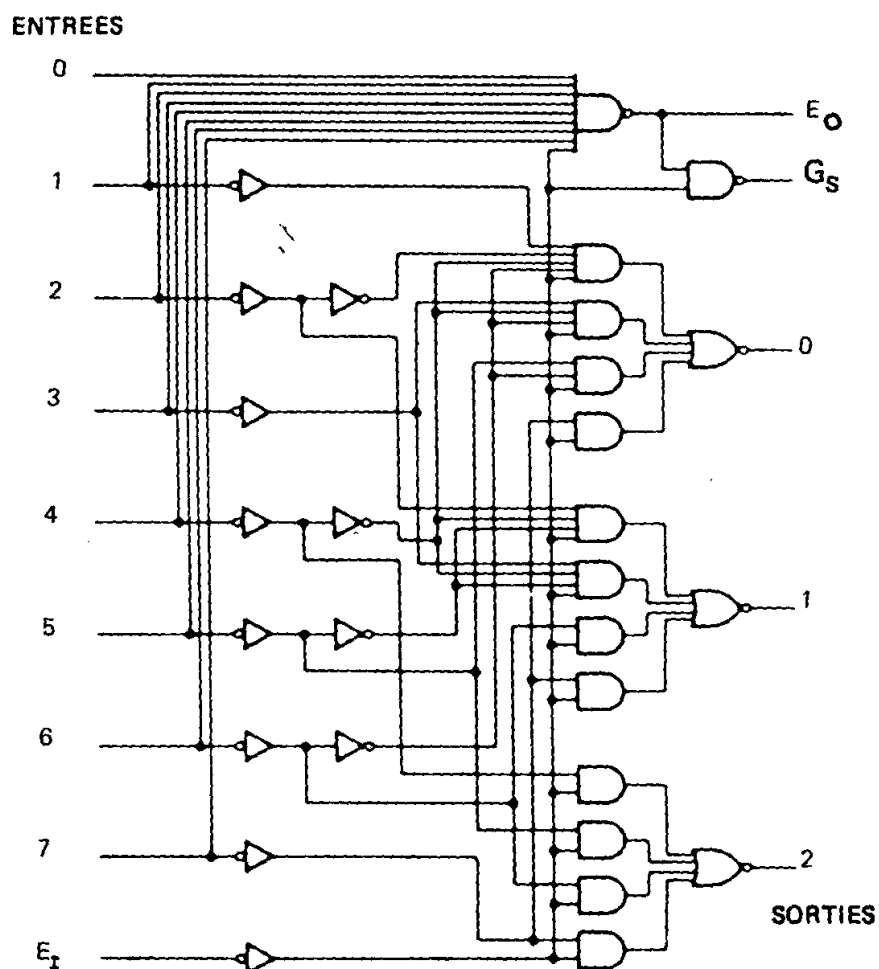


Table de fonctionnement et structure interne de l'encodeur 74 148

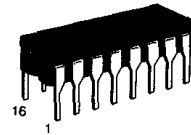


**MC14532B**

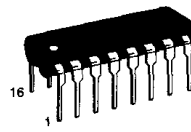
**8-BIT PRIORITY ENCODER**

The MC14532B is constructed with complementary MOS (CMOS) enhancement mode devices. The primary function of a priority encoder is to provide a binary address for the active input with the highest priority. Eight data inputs (D0 thru D7) and an enable input (E<sub>in</sub>) are provided. Five outputs are available, three are address outputs (Q0 thru Q2), one group select (GS) and one enable output (E<sub>out</sub>).

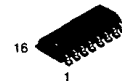
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-Power Schottky TTL Load over the Rated Temperature Range



**L SUFFIX  
CERAMIC  
CASE 620**



**P SUFFIX  
PLASTIC  
CASE 648**



**D SUFFIX  
SOIC  
CASE 751B**

**ORDERING INFORMATION**

MC14XXXBCP Plastic  
MC14XXXBCL Ceramic  
MC14XXXBD SOIC

T<sub>A</sub> = -55° to 125°C for all packages.

**MAXIMUM RATINGS\*** (Voltages Referenced to V<sub>SS</sub>)

Symbol	Parameter	Value	Unit
V <sub>DD</sub>	DC Supply Voltage	-0.5 to +18.0	V
V <sub>in</sub> , V <sub>out</sub>	Input or Output Voltage (DC or Transient)	-0.5 to V <sub>DD</sub> + 0.5	V
I <sub>in</sub> , I <sub>out</sub>	Input or Output Current (DC or Transient), per Pin	±10	mA
P <sub>D</sub>	Power Dissipation, per Package†	500	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (8-Second Soldering)	260	°C

\*Maximum Ratings are those values beyond which damage to the device may occur.

†Temperature Derating: All Packages: -7.0 mW/°C from 65°C to 125°C.

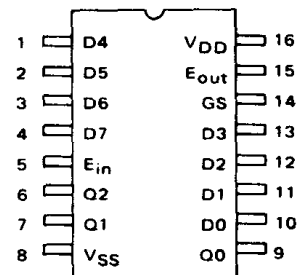
**TRUTH TABLE**

INPUT									OUTPUT				
E <sub>in</sub>	D7	D6	D5	D4	D3	D2	D1	D0	GS	Q2	Q1	Q0	E <sub>out</sub>
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	1	0	0
1	0	0	1	X	X	X	X	X	1	1	0	1	0
1	0	0	0	1	X	X	X	X	1	1	0	0	0
1	0	0	0	0	1	X	X	X	1	0	1	1	0
1	0	0	0	0	0	1	X	X	1	0	0	1	0
1	0	0	0	0	0	0	1	X	1	0	0	0	0

X = Don't Care

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V<sub>in</sub> and V<sub>out</sub> should be constrained to the range V<sub>SS</sub> ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>DD</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V<sub>SS</sub> or V<sub>DD</sub>). Unused outputs must be left open.

**PIN ASSIGNMENT**



Mis à part les niveaux actifs des entrées et des sorties, le fonctionnement du circuit 4532 est analogue au fonctionnement du circuit 74 148. Grâce à l'entrée E<sub>in</sub> et à la sortie E<sub>out</sub>, le circuit 4532 est cascable.

## IV - Les décodeurs

Ces circuits, qui possèdent  $n$  entrées et  $2^n$  sorties, ont une seule sortie active à la fois : celle dont l'indice correspond au nombre binaire appliqué sur les entrées.

### IV - 1 - Décodeur élémentaire 2 vers 4

Symbole :



Ce décodeur possède 2 entrées et 4 sorties. Une seule sortie est activée à la fois (par un état haut) : celle dont l'indice [entre 0 et 3] correspond au nombre [sur 2 bits] appliqué en binaire sur les entrées.

Table de vérité du décodeur 2 vers 4 :

Entrées		Sorties			
<b>E<sub>1</sub></b>	<b>E<sub>0</sub></b>	<b>S<sub>3</sub></b>	<b>S<sub>2</sub></b>	<b>S<sub>1</sub></b>	<b>S<sub>0</sub></b>

Equations logiques des sorties :

$S_0 =$  .....

$S_1 =$  .....

$S_2 =$  .....

$S_3 =$  .....

Logigramme du décodeur 2 vers 4 :





## IV - 2 - Décodage à plusieurs niveaux (mise en cascade de décodeurs)

Compte tenu du nombre limité de connections sur un circuit intégré, il est souvent utile de mettre en cascade les décodeurs pour permettre le décodage d'un grand nombre de combinaisons. Une entrée supplémentaire permet cette mise en cascade. Elle est appelée entrée de validation (strobe), et notée V.

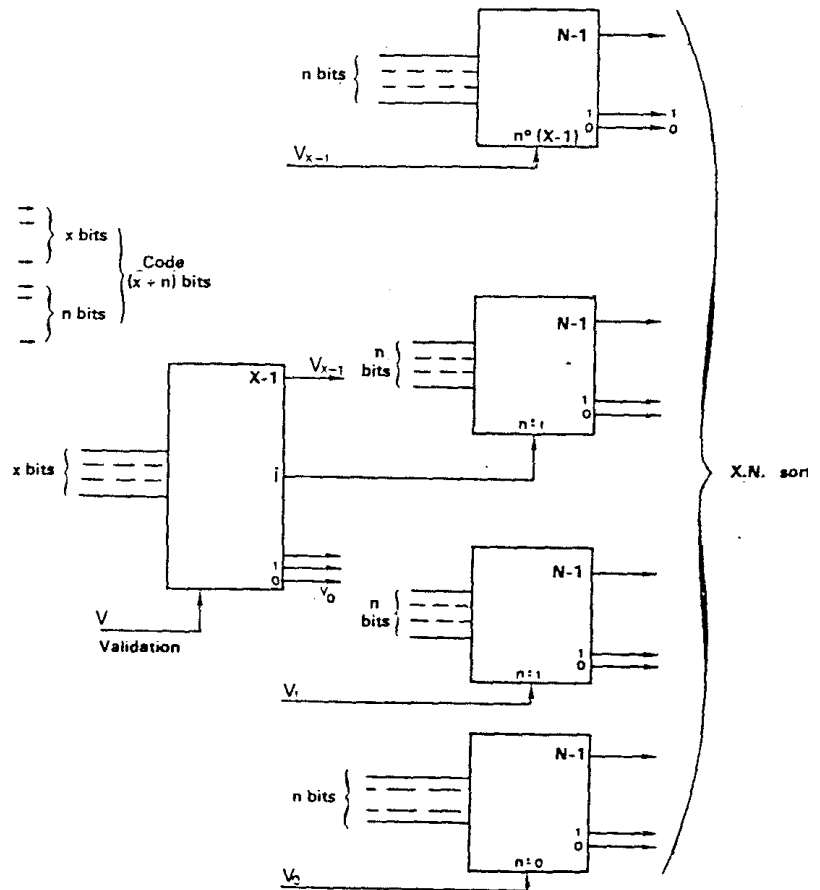
Quand le nombre N de sorties est élevée, par exemple 256 [16x16] on a recours à un décodage à 2 niveaux ou plus, suivant les possibilités des modules de base. Le schéma ci-contre montre l'organisation d'un décodage à 2 niveaux pour le cas général de x.N sorties. En général, on aura  $X = 2^x$  et  $N = 2^n$ . Le code d'entrée est donc constitué de x+n bits. Le décodeur 1 parmi x reçoit les x bits et donne en sortie un signal de sélection qui est utilisé pour valider au deuxième niveau un module à N sorties (il y en a X). Ces modules reçoivent tous les n bits restants et un seul des modules, celui qui est validé, délivre la voie décodée.

N° sortie	Codes							
	x				n			
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
15	0	0	0	0	1	1	1	1
16	0	0	0	1	0	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
31	0	0	0	1	1	1	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
255	1	1	1	1	1	1	1	1

Un signal de validation général [V] est appliqué au décodeur du premier niveau :

- \* Si  $V = 0$ , le décodage est possible.
- \* Si  $V = 1$ , toutes les sorties du décodeur 1 parmi x sont à 1 et également toutes les sorties des x décodeurs du deuxième niveau.

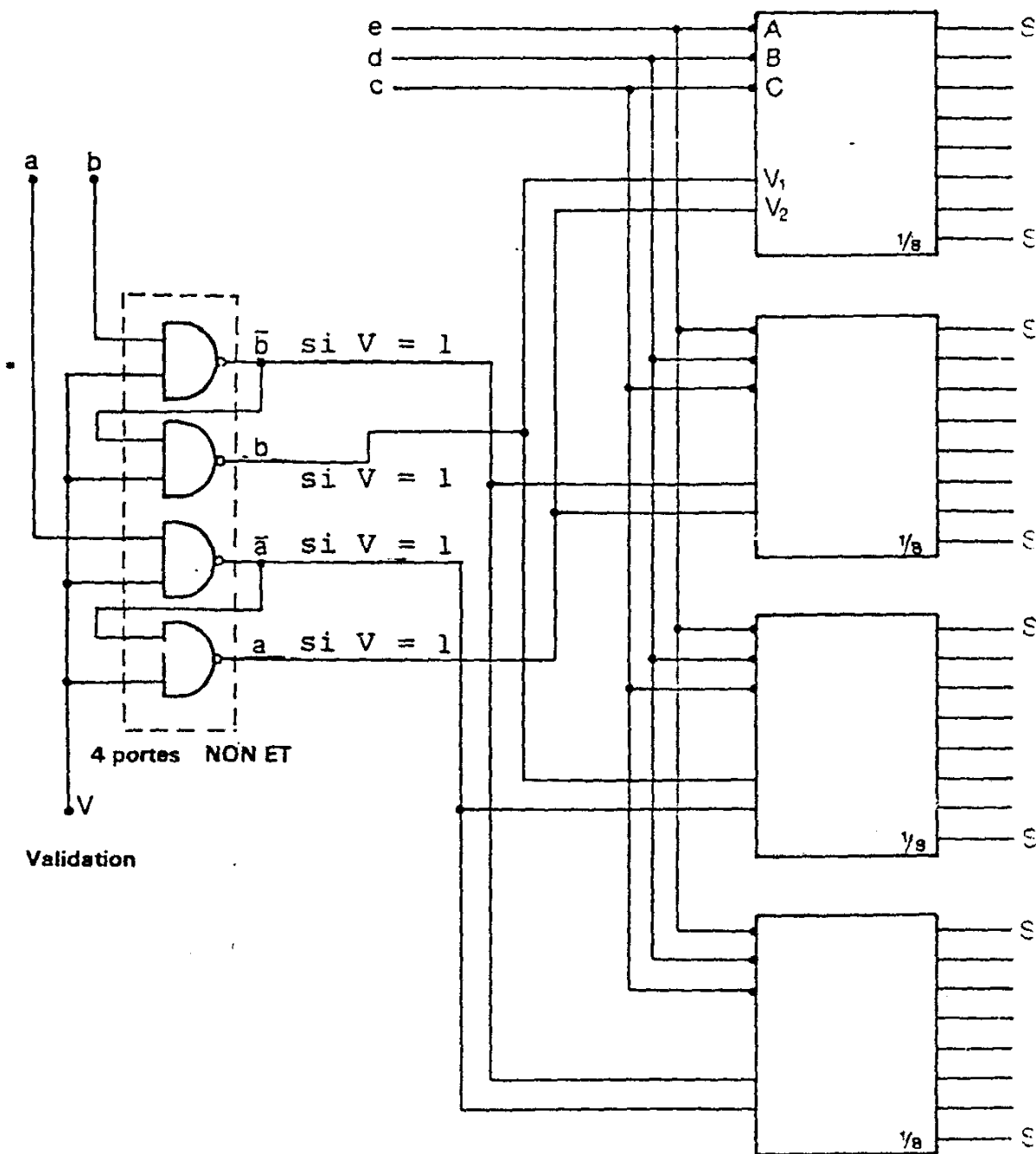
Le code de chaque sortie est donné par le tableau ci-après ainsi que la schéma fonctionnel.



Exemple de décodage à deux niveaux : réalisation d'un décodeur 5 vers 32 [5 entrées et 32 sorties] en utilisant 4 décodeur 3 vers 8 [modules à 3 entrée et 8 sorties].

L'adresse de la sortie unique à activée est fournie sur 5 bits dont 2 bits permettent de sélectionner un module parmi 4, et 3 bits permettent de sélectionner la voie dans le module sélectionné.

Adresse: abcde (a poids fort)



Structure d'un décodeur 5 vers 32 réalisé avec 4 décodeur 3 vers 8

## V - Les transcodeurs

Un transcodeur (ou convertisseur de codes) est un dispositif permettant de passer du nombre N écrit dans le code  $C_1$  au même nombre N écrit dans le code  $C_2$ .

Il n'existe pas un code binaire meilleur que tous les autres: aussi en utilise-t-on plusieurs et des transcodeurs pour passer de l'un à l'autre. Leurs utilisations en nombres relativement

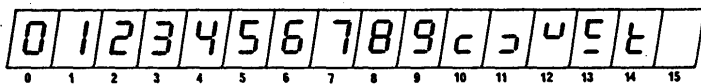
limités expliquent qu'on ne les trouve pas tous sous forme de circuits intégrés : il faut alors les réaliser à l'aide de portes logiques ET-NON , OU-NON ... etc. Comme nous l'avons vu dans le paragraphe II, la réalisation pratique d'un transcodeurs passe par l'écriture de sa table de vérité, puis par le recherche des équations de sorties avec les tableaux de Karnaugh.

Parmi les transcodeurs que l'on trouve en circuits intégrés, on peut citer :

- \* les transcodeurs décimal / BCD [circuit 74147]
- \* les transcodeurs BCD / décimal [circuits 7442, 7445, et 4028]
- \* les transcodeurs XS 3 / décimal [circuit 7443]
- \* les transcodeurs Gray excédant 3 [code Gray + 3] / décimal [circuit 7444]
- \* les transcodeurs DCB / afficheur 7 segments [circuits 7448, 7511, 4543, 4511]
- \* les transcodeurs binaire 5 bits / DCB [circuit 74185]
- \* les transcodeurs DCB / binaire 5 bits [circuit 74184]

Dans la désignation d'un transcodeur, le code « *décimal* » signifie *une seule entrée (ou sortie) active à la fois parmi 10*.

Exemple d'un transcodeur BCD / 7 segment intégré : le circuit 74 46



Decimal or Function	Entrée / Input					BI/RBO (1)	Sortie / Output							
	LT	RBI	D	C	B		A	a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	H	L	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	L	L	H	L	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	L	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L

**H** : niveau Haut [High level]  
**L** : niveau Bas [Low level]  
**X**: Indifférent

**LT**: entrée de test de l'afficheur [Lamp test input]

**RBI** : entrée d'extinction de l'afficheur [Ripple blanking input]

**BI/RBO**: ligne de commande d'extinction de l'afficheur [Blanking input or ripple blanking output]

**Note**: les broches RBI et BI/RBO permettent l'extinction de l'afficheur qui représente un 0 non significatif d'un nombre [exemple: affichage sur une calculatrice].