

CORRECTION

| | | | |
|---|---|--|--------|
| Section : Technicien Supérieur Electronique | | Discipline : Génie Electronique | |
| Devoir d'électronique | | | |
| Domaine d'application : Comparateurs numériques - Multiplexeurs | Type de document : Evaluation | Classe : Première année | Date : |

Conditions de travail

Les 2 parties de cette évaluation (**I** et **II**) sont indépendantes et pourront être traitées dans un ordre quelconque. Cependant les réponses, qui sont à rédiger sur une copie, **devront être numérotées très clairement**, en utilisant la numérotation des questions du sujet et **leurs notations exactes** à l'exception de toute autre.

Comme dans tous les sujets, il est vivement conseillé de lire l'ensemble des questions d'une partie avant de commencer à vouloir répondre à la première question.

Aucun document (sur support papier ou sur support électronique) autre que le texte du sujet n'est autorisé, et l'usage des calculatrices et des téléphones portables est interdit (même pour consulter l'heure, même pour « jouer »...) : aucune calculatrice et aucun téléphone portable ne doit être visible sur les tables. Si l'une de ces conditions n'était pas respectée, le candidat est conscient que sa note serait alors de zéro, et ce sans aucune discussion possible ni possibilité de rattrapage.

Barème sur 20 points

| | | | | | | | |
|-----------------|-------|-------|-------|-------|-------|-------|--------|
| Question | I - 1 | I - 2 | I - 3 | I - 4 | I - 5 | I - 6 | II - 1 |
| Valeur en point | 1 | 3 | 3 | 3 | 3 | 2 | 5 |

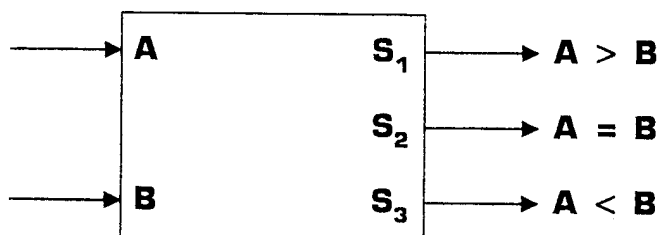
Travail demandé

I - Les comparateurs numériques

Nous allons réaliser dans cette première partie un comparateur cascadable à un bit.

①

I - 1 - Recopier puis compléter la table de vérité du comparateur à 1 bit ci-dessous :



| A | B | S ₁ | S ₂ | S ₃ |
|---|---|----------------|----------------|----------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

$$S_1 = A \cdot \bar{B} \quad S_2 = \overline{A \oplus B} = A \oplus \bar{B} \quad S_3 = \bar{A} \cdot B = \overline{A + \bar{B}}$$

③ I - 2 - Ecrire les équations logiques de chacune des 3 sorties S1, S2 et S3 de ce comparateur 1 bit.

③ I - 3 - Proposer un schéma structurel pour la réalisation de ce comparateur 1 bit, en utilisant un nombre de portes logiques minimum. \rightarrow 4 portes suffisent.
2 points, si juste mais pas optimisé.

Pour comparer des mots binaires de plusieurs bits, il faut disposer d'un comparateur cascadeable. Pour cela on ajoute 3 entrées E1, E2 et E3, destinées à recueillir les informations des sorties S1, S2 et S3 provenant de la comparaison des bits de plus faible poids. Pour des mots de 3 bits par exemple, on obtient le schéma de la figure 1 :

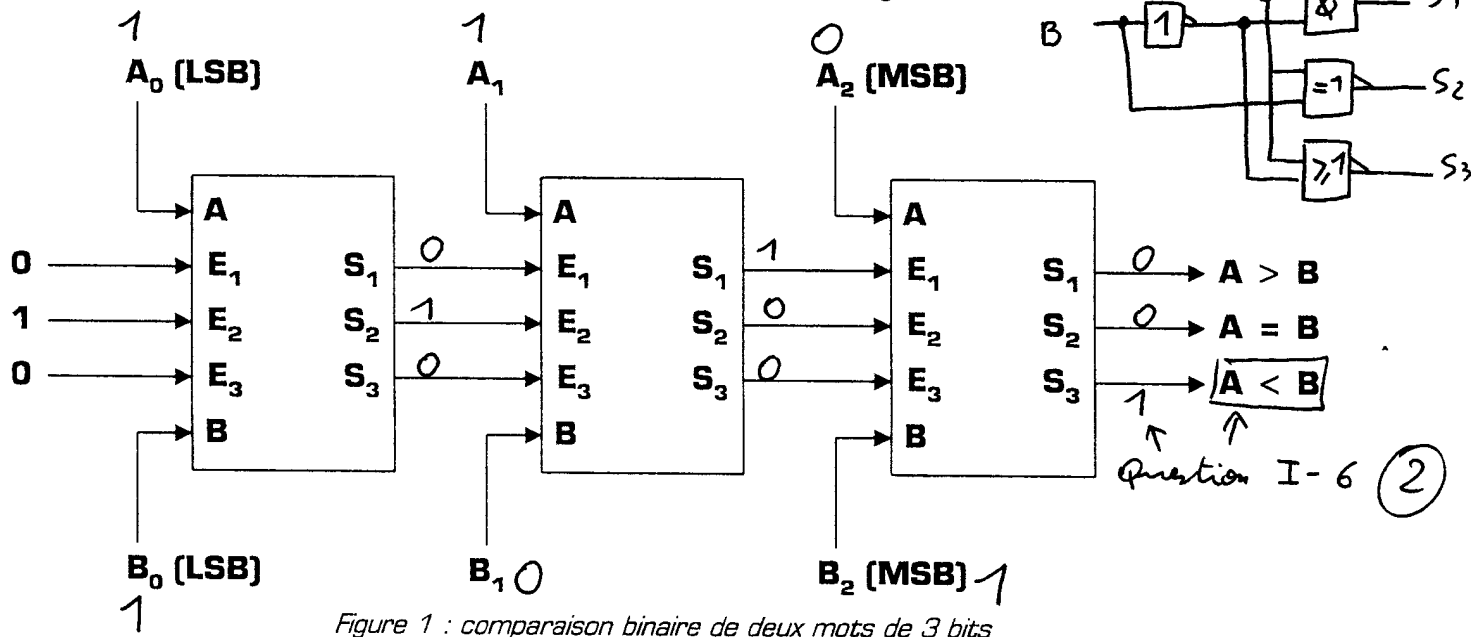


Figure 1 : comparaison binaire de deux mots de 3 bits

Sur l'étage de tête l'entrée d'égalité E2 sera mise à 1, et les entrées E1 et E3 seront mises à 0. D'après KARNAUGH on obtient : $S_1 = A \cdot \bar{B} + E_1 \bar{E}_2 \bar{E}_3 \cdot (A + \bar{B})$ $S_3 = \bar{A} \cdot B + \bar{E}_1 \bar{E}_2 E_3 \cdot (\bar{A} + B)$

③ I - 4 - Recopier puis compléter la table de vérité ci-dessous du comparateur à 1 bit cascadeable :

| A | B | E1 | E2 | E3 | S1 | S2 | S3 |
|-----|---|----|----|----|----|----|----|
| 0 | 1 | X | X | X | 0 | 0 | 1 |
| 1 | 0 | X | X | X | 1 | 0 | 0 |
| A=B | | 0 | 0 | 1 | 0 | 0 | 1 |
| A=B | | 0 | 1 | 0 | 0 | 1 | 0 |
| A=B | | 1 | 0 | 0 | 1 | 0 | 0 |

d'après la remarque on peut remarquer :
 $S_1 = A \cdot \bar{B} + E_1 \cdot \overline{A \oplus B}$
 $S_2 = E_2 \cdot \overline{A \oplus B}$
 $S_3 = \bar{A} \cdot B + E_3 \cdot \overline{A \oplus B}$

$S_1 = A \cdot \bar{B} + \overline{A \oplus B} \cdot E_1 \cdot \bar{E}_2 \cdot \bar{E}_3$
 $S_2 = \overline{A \oplus B} \cdot E_1 \cdot E_2 \cdot \bar{E}_3$
 $S_3 = \bar{A} \cdot B + \overline{A \oplus B} \cdot \bar{E}_1 \cdot \bar{E}_2 \cdot E_3$
 Ces équations se trouvent directement en analysant la table de vérité.

Remarque : dans un soucis de simplicité, nous ne considérerons pas les cas où plusieurs entrées E1, E2, ou E3 sont à 1. En effet, nous considérerons qu'il y a toujours une entrée et une seule [parmi E1, E2, et E3] à 1, les deux autres étant à 0. Autrement dit, en fonctionnement normal, le comparateur ne sera jamais utilisé avec plus d'une entrée à 1.

③ I - 5 - Ecrire les équations logiques simplifiées de chacune des 3 sorties S1, S2 et S3 de ce comparateur 1 bit cascadeable.

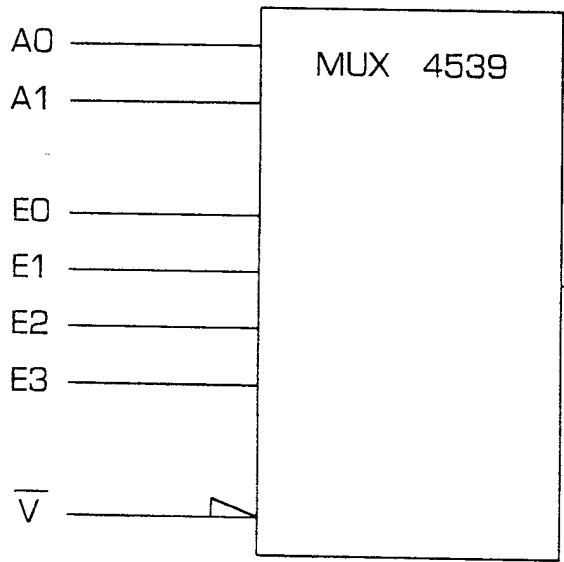
Pour tester le bon fonctionnement de la mise en cascade de la figure 1, nous allons comparer les deux mots binaires de 3 bits suivants : **A = 011** et **B = 101**.

② **I - 6** - Recopier le montage de la figure 1, en donnant au mot A la valeur **011** et au mot B la valeur **101**, et en indiquant sur le schéma l'état [0 ou 1] de toutes les entrées et de toutes les sorties de chacun des 3 comparateurs. Quel est finalement le résultat de la comparaison entre A = 011 et B = 101 d'après le montage ?

II - Les multiplexeurs

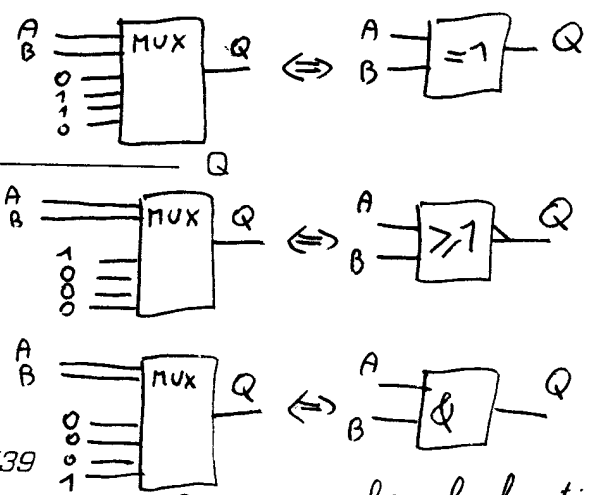
Nous disposons de multiplexeurs de type 4539 en nombre illimité. Ces circuits sont des multiplexeurs 4 vers 1 avec :

- * 2 entrées d'adresse A0 et A1 [A0 étant le poids faible]
- * 4 entrées de donnée E0, E1, E2 et E3 [E0 étant le poids faible]
- * 1 entrée de validation \bar{V} active au niveau bas
- * 1 sortie Q prenant la valeur de l'entrée sélectionnée par A0 et A1, si le multiplexeur est validé ($\bar{V} = 0$)



Symbole d'un multiplexeur 4539

Solution n°1: on réalise 3 fonctions logiques (ou-exclusif, ou-non, et ou) avec 3 multiplexeurs.



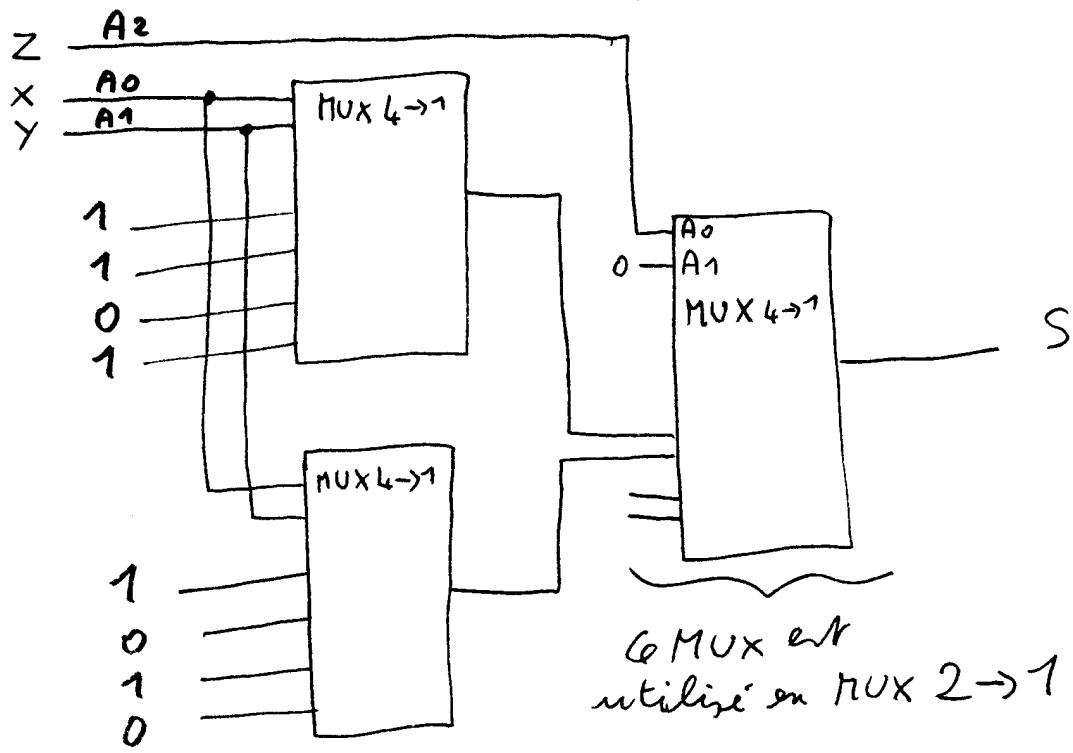
La table de fonctionnement du multiplexeur 4539 est la suivante : $S = X \oplus Z + Y + Z$ avec les 3 fonctions logiques créés.

| | A0 | A1 | \bar{V} | Q |
|----------------|----|----|-----------|----|
| Adresse de E0 | 0 | 0 | 0 | E0 |
| Adresse de E1 | 1 | 0 | 0 | E1 |
| Adresse de E2 | 0 | 1 | 0 | E2 |
| Adresse de E3 | 1 | 1 | 0 | E3 |
| MUX non validé | X | X | 1 | 0 |

⑤ **II - 1** - Proposer, en expliquant l'analyse que vous avez faite, un schéma électronique utilisant seulement des multiplexeurs 4539 (et aucun autre circuit logique), réalisant la fonction logique suivante, dont les 3 entrées sont X, Y et Z, et la sortie est S :

$$S = X \oplus Z + \overline{Y+Z}$$

Solution n°2: on réalise un MUX 8 → 1 avec 3 MUX 4 → 1



Forme canonique de S: $S = \bar{X}YZ + \bar{X}\bar{Y}Z + XY\bar{Z} + X\bar{Y}\bar{Z} + \bar{X}\bar{Y}\bar{Z}$

Table de vérité de S:

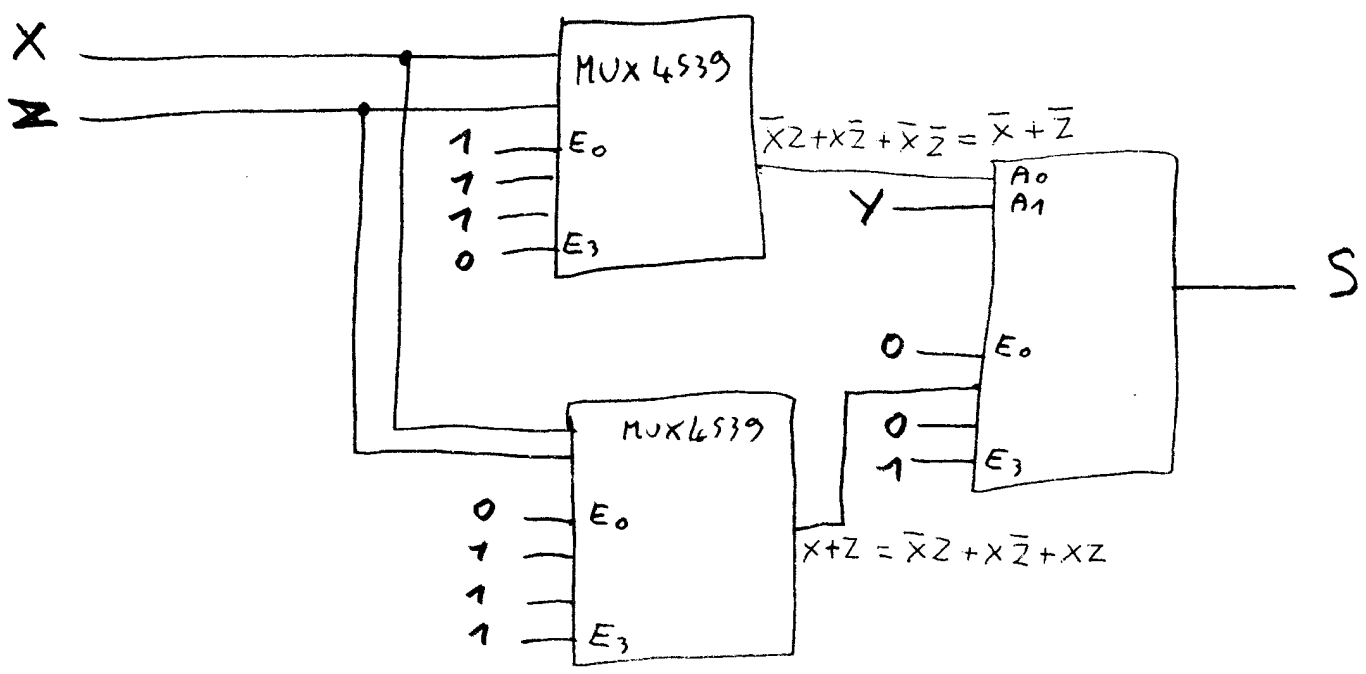
| X | Y | Z | S |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Solution n°3: solution ~~optimisée~~ utilisant ~~seulement~~ 3 MUX 4 → 1.

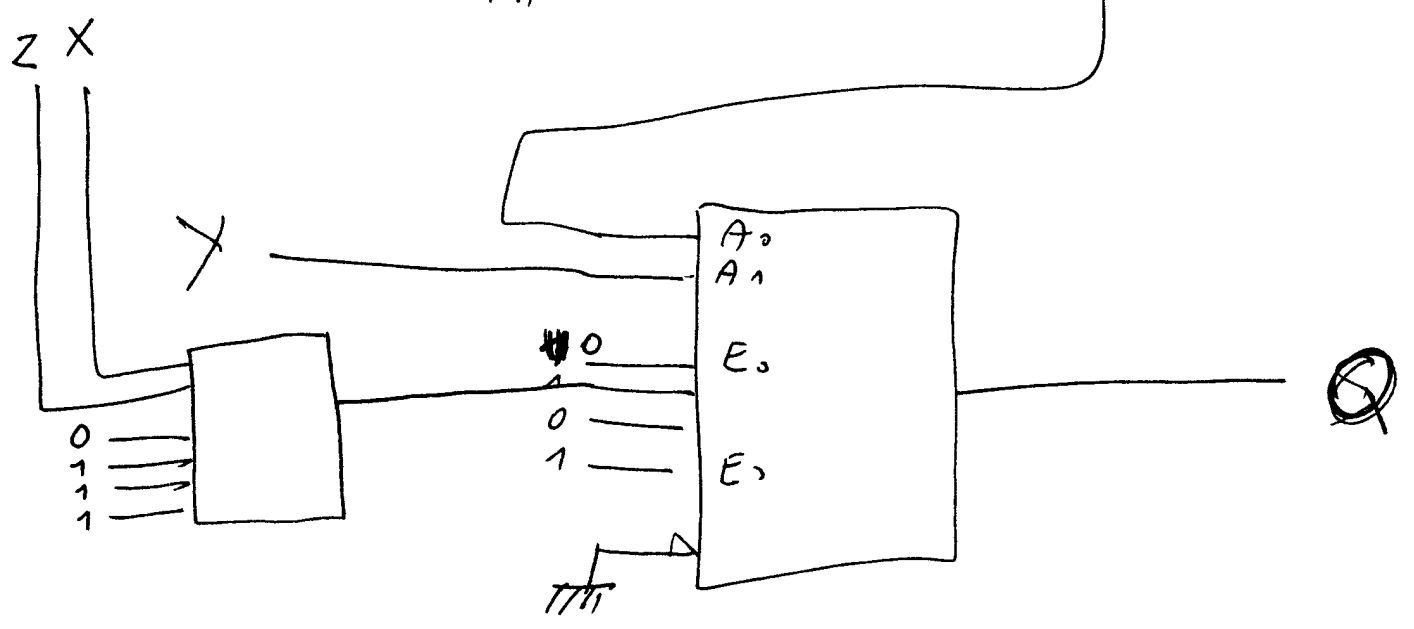
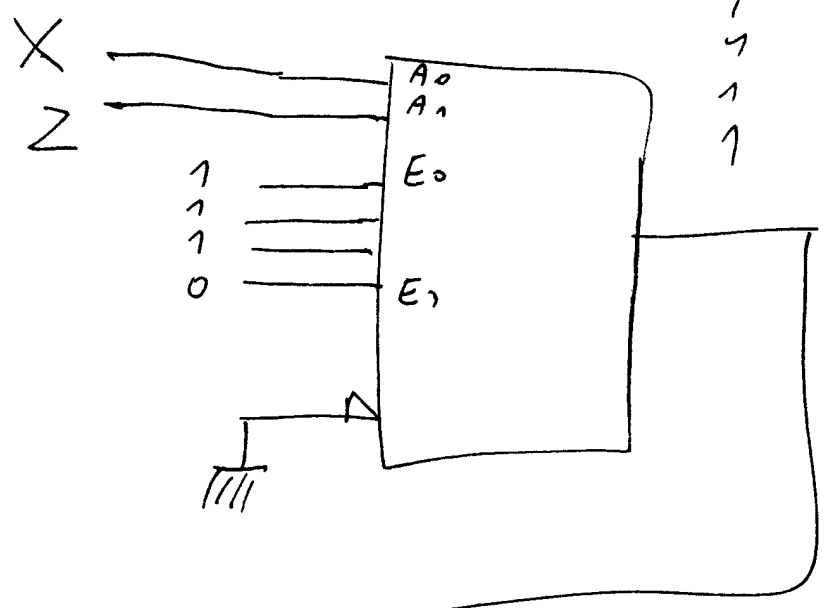
Si on factorise la forme canonique par Y et \bar{Y} , on obtient:

$$S = Y \cdot (\bar{X}Z + X\bar{Z}) + \bar{Y} \cdot (\bar{X}Z + X\bar{Z} + \bar{X}\bar{Z})$$

$$= Y \cdot (X \oplus Z) + \bar{Y} \cdot (X \oplus Z) + \bar{Y} \cdot \bar{X} \cdot \bar{Z}$$



| X | Y | Z | S | Q |
|-------|---|---|---|---|
| 0 | 0 | 0 | 1 | |
| 0 | 0 | 1 | 1 | |
| 0 | 1 | 0 | 0 | |
| 0 | 1 | 1 | 1 | |
| <hr/> | | | | |
| 1 | 0 | 0 | 1 | |
| 1 | 0 | 1 | 0 | |
| 1 | 1 | 0 | 1 | |
| 1 | 1 | 1 | 0 | |



$$X \oplus Z + \overline{Y+Z} = \overline{X}Z + X\overline{Z} + \overline{Y} \cdot \overline{Z}$$

$$\overline{X}Z Y + \overline{X}Z \overline{Y} + X\overline{Z} Y + X\overline{Z} \overline{Y} + \overline{Y} \overline{Z} X + \overline{Y} \overline{Z} \overline{X}$$

X

Retrouvez d'autres cours sur le site ressource

www.gecif.net

Téléchargez librement sur Gecif.net :

- ✍ **des cours et des TP de Génie Electrique**
- ✍ **des exercices et des évaluations avec corrections**
- ✍ **des ressources Automgen, ISIS Proteus et Flowcode**
- ✍ **des QCM pour réviser les cours et vous entraîner**
- ✍ **des logiciels d'électronique pour les installer chez vous**
- ✍ **des dossiers techniques de systèmes originaux**
- ✍ **des fiches pratiques sur tous les domaines des sciences de l'ingénieur**
- ✍ **des sujets de BAC**
- ✍ **et bien plus encore sur Gecif.net !**