

Devoir d'électronique

Domaine d'application :
Comparateurs numériques - Multiplexeurs

Type de document :
Evaluation

Classe :
Première année

Date :

Conditions de travail

Les 2 parties de cette évaluation (**I** et **II**) sont indépendantes et pourront être traitées dans un ordre quelconque. Cependant les réponses, qui sont à rédiger sur une copie, **devront être numérotées très clairement**, en utilisant la numérotation des questions du sujet et **leurs notations exactes** à l'exception de toute autre.

Comme dans tous les sujets, il est vivement conseillé de lire l'ensemble des questions d'une partie avant de commencer à vouloir répondre à la première question.

Aucun document (sur support papier ou sur support électronique) autre que le texte du sujet n'est autorisé, et l'usage des calculatrices et des téléphones portables est interdit (même pour consulter l'heure, même pour « jouer »...) : aucune calculatrice et aucun téléphone portable ne doit être visible sur les tables. Si l'une de ces conditions n'était pas respectée, le candidat est conscient que sa note serait alors de zéro, et ce sans aucune discussion possible ni possibilité de rattrapage.

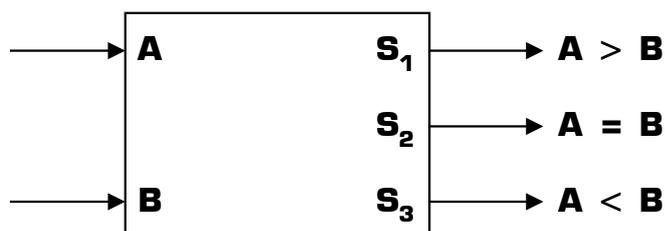
Barème sur 20 points

Question	I - 1	I - 2	I - 3	I - 4	I - 5	I - 6	II - 1
Valeur en point	1	3	3	3	3	2	5

Travail demandé**I - Les comparateurs numériques**

Nous allons réaliser dans cette première partie un comparateur cascadable à un bit.

I - 1 - Recopier puis compléter la table de vérité du comparateur à 1 bit ci-dessous :



A	B	S_1	S_2	S_3
0	0			
0	1			
1	0			
1	1			

I - 2 - Ecrire les équations logiques de chacune des 3 sorties S_1 , S_2 et S_3 de ce comparateur 1 bit.

I - 3 - Proposer un schéma structurel pour la réalisation de ce comparateur 1 bit, en utilisant un nombre de portes logiques minimum.

Pour comparer des mots binaires de plusieurs bits, il faut disposer d'un comparateur cascadable. Pour cela on ajoute 3 entrées E_1 , E_2 et E_3 , destinées à recueillir les informations des sorties S_1 , S_2 et S_3 provenant de la comparaison des bits **de plus faible poids**. Pour des mots de 3 bits par exemple, on obtient le schéma de la figure 1 :

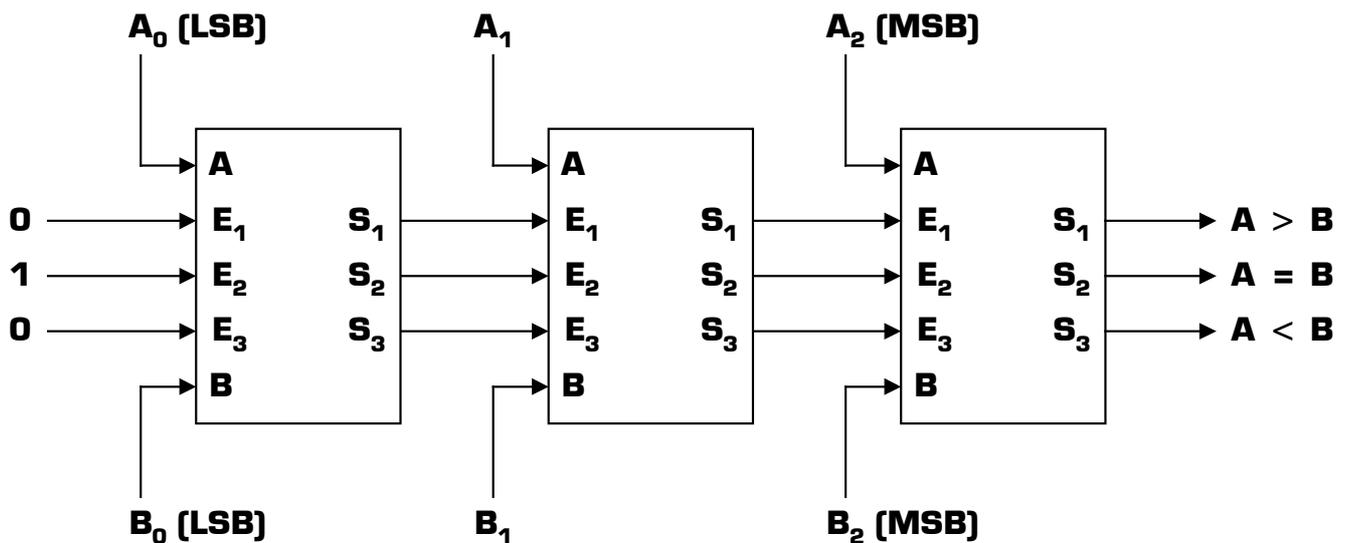


Figure 1 : comparaison binaire de deux mots de 3 bits

Sur l'étage de tête l'entrée d'égalité E_2 sera mise à 1, et les entrées E_1 et E_3 seront mises à 0.

I - 4 - Recopier puis compléter la table de vérité ci-dessous du comparateur à 1 bit cascadable :

A	B	E_1	E_2	E_3	S_1	S_2	S_3
0	1	X	X	X			
1	0	X	X	X			
A=B		0	0	1			
A > B		0	1	0			
A < B		1	0	0			

Remarque : dans un souci de simplicité, nous ne considérerons pas les cas où plusieurs entrées E_1 , E_2 , ou E_3 sont à 1. En effet, nous considérerons qu'il y a toujours une entrée et une seule [parmi E_1 , E_2 , et E_3] à 1, les deux autres étant à 0. Autrement dit, en fonctionnement normal, le comparateur ne sera jamais utilisé avec plus d'une entrée à 1.

I - 5 - Ecrire les équations logiques simplifiées de chacune des 3 sorties S_1 , S_2 et S_3 de ce comparateur 1 bit cascadable.

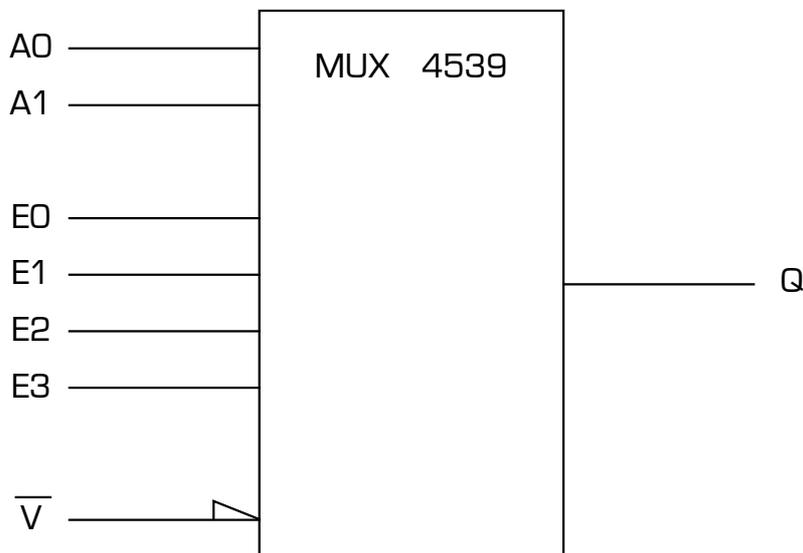
Pour tester le bon fonctionnement de la mise en cascade de la figure 1, nous allons comparer les deux mots binaires de 3 bits suivants : **A = 011** et **B = 101**.

I - 6 - Recopier le montage de la figure 1, en donnant au mot A la valeur **011** et au mot B la valeur **101**, et en indiquant sur le schéma l'état [0 ou 1] **de toutes les entrées et de toutes les sorties** de chacun des 3 comparateurs. Quel est finalement le résultat de la comparaison entre A = 011 et B = 101 d'après le montage ?

II - Les multiplexeurs

Nous disposons de multiplexeurs de type 4539 *en nombre illimité*. Ces circuits sont des multiplexeurs 4 vers 1 avec :

- * 2 entrées d'adresse A0 et A1 [A0 étant le poids faible]
- * 4 entrées de donnée E0, E1, E2 et E3 [E0 étant le poids faible]
- * 1 entrée de validation \bar{V} active au niveau bas
- * 1 sortie Q prenant la valeur de l'entrée sélectionnée par A0 et A1, si le multiplexeur est validé [$\bar{V} = 0$]



Symbole d'un multiplexeur 4539

La table de fonctionnement du multiplexeur 4539 est la suivante :

	A0	A1	$\bar{\mathbf{V}}$	Q
Adresse de E0	0	0	0	E0
Adresse de E1	1	0	0	E1
Adresse de E2	0	1	0	E2
Adresse de E3	1	1	0	E3
MUX non validé	X	X	1	0

II - 1 - Proposer, en expliquant l'analyse que vous avez faite, un schéma électronique **utilisant seulement des multiplexeurs 4539 (et aucun autre circuit logique)**, réalisant la fonction logique suivante, dont les 3 entrées sont X, Y et Z, et la sortie est S :

$$\mathbf{S} = \mathbf{X} \oplus \mathbf{Z} + \overline{\mathbf{Y} + \mathbf{Z}}$$