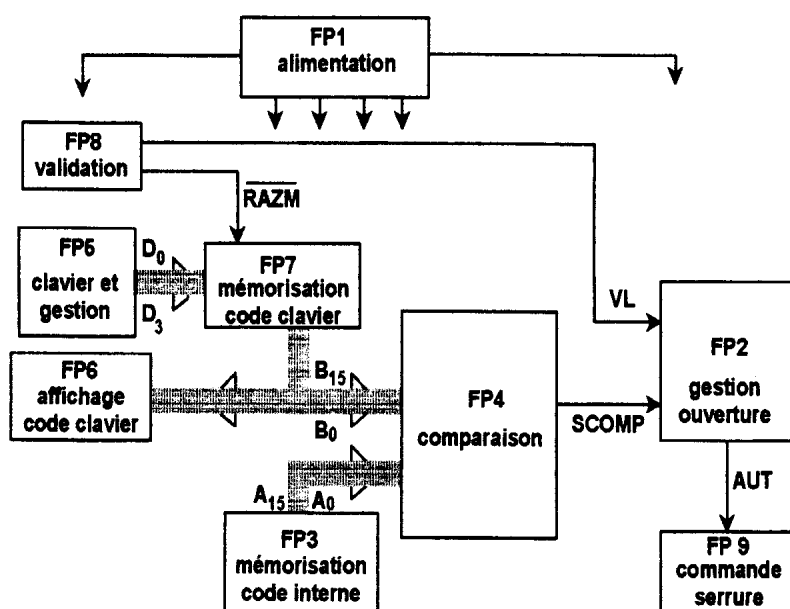


Etude d'un O.T. : La serrure codée

I - Description de l'objet technique

Afin de contrôler l'accès d'un immeuble, l'ouverture de la porte d'entrée est commandée électriquement au moyen d'un clavier à dix chiffres. Le passage n'est possible qu'après avoir entré un code **à quatre chiffres** sur le clavier, puis commandé la validation par l'intermédiaire d'un bouton poussoir annexe. Si le code est correct, le système électronique autorise l'alimentation de la serrure électrique qui ouvre la porte.

La figure ci-après donne le schéma fonctionnel (synoptique) de la carte électronique :



Chaque bloc correspond à une fonction principale. Les chiffres du code sont entrés les uns après les autres et se retrouvent, le temps de l'appui de la touche, sur le bus de sortie de la fonction principale 5 [FP5] avant d'être mémorisés par FP7. Ils sont codés en B.C.D. [binaire codé décimal]. Au fur et à mesure de leur apparition sur le bus de sortie de FP7 ils sont affichés sur des afficheurs sept segments par FP6. Le code est comparé par FP4 avec un nombre de quatre chiffres mis en mémoire dans FP3. En cas d'égalité la sortie SCOMP passe du niveau logique 0 [NLO] qui est à 0 volt, au niveau logique 1 [NL1] qui est à 15 volts. Lorsque la personne valide son code en appuyant sur le bouton poussoir prévu à cet effet, la sortie VL de FP8 passe au NL1 le temps de l'appui, tandis que la sortie $\overline{\text{RAZM}}$ [remise à zéro de la mémoire] passe à zéro volt après un léger temps de retard [1 ms] pour initialiser de nouveau la mémoire qui se charge alors avec le nombre 0000. Le signal $\overline{\text{RAZM}}$ repasse au NL1 lorsque VL repasse à 0. Lorsque toutes les conditions sont remplies au niveau de FP2, la sortie AUT [autorisation] passe au NL1 pendant une seconde et permet la commande de la serrure.

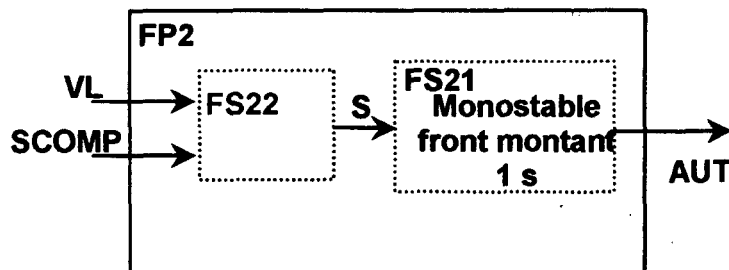
II - Fonctionnement général

II - 1 - Le code interne mémorisé étant **1871**, préciser la valeur des bits $A_0 - A_{15}$ présents sur le bus de sortie de FP3 [on rappelle que ceux ci sont codés en BCD].

II - 2 - La personne à l'entrée entre le nombre 1872, puis valide son code. Conscient de son erreur elle entre cette fois le bon code puis valide. Donner l'allure des signaux présents sur les lignes D_0 à D_3 en sortie de FP5, VL, $\overline{\text{RAZM}}$, SCOMP, et AUT. On précisera dans chaque intervalle de temps le nombre présent sur le bus $B_0 - B_{15}$ en sortie de FP7 [en écrivant simplement le nombre en décimal].

III - Gestion d'ouverture

La figure ci-dessous donne le schéma fonctionnel des fonctions secondaires de FP2 :



Le bloc FS21 [fonction secondaire 1 de la fonction principale 2] fournit une impulsion positive pendant 1 seconde afin de commander l'ouverture lorsque les conditions sur VL et SCOMP sont remplies.

III - 1 - Etablir l'équation logique liant S à VL et SCOMP. Proposer un schéma structurel de la fonction FS22.

III - 2 - On dispose pour la réalisation de FS22 du circuit 4011 [4 portes ET-NON à 2 entrées]. Modifier le schéma en conséquence.

III - 3 - Même question avec le circuit 4001 [4 portes OU-NON à 2 entrées].

IV - Mémorisation du code interne

La sortie de FP3 attaque les entrées du comparateur. Le code interne est choisi en positionnant quatre roues codeuses. Chacune se présente sous la forme d'un commutateur rotatif à dix positions [de 0 à 9] commandant quatre micro-interrupteurs I_0 à I_3 , représentant un bit. Les interrupteurs se ferment si le bit auquel ils correspondent est au NL1 dans la transcription binaire du nombre affiché sur la roue.

IV - 1 - Proposer un schéma structurel de FP3.

V - Comparaison

Principe

V - 1 - Quelle fonction logique permet de détecter l'égalité entre 2 bits A_0 et B_0 , la sortie de la fonction étant au NL1 lorsque $A_0 = B_0$?

V - 2 - Généraliser en donnant le schéma structurel d'un comparateur quatre bits. On rappelle que 2 mots de 4 bits sont considérés égaux si et seulement si tous les bits de même rang sont égaux entre eux deux à deux.

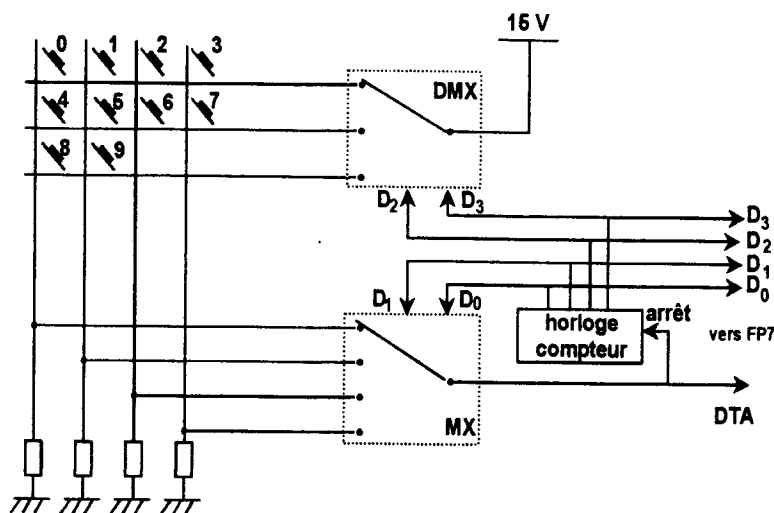
Comparer avec le circuit 4585 en étudiant la sortie "A = B" sur le schéma interne donné par le constructeur.

Schéma complet

V - 3 - Proposer un schéma structurel de FP4 en utilisant quatre circuit 4585.

VI - Gestion du clavier

La première idée pour réaliser cette fonction consiste à utiliser 10 boutons poussoirs [un par chiffre] et passer en code BCD grâce à un encodeur par exemple. Cette solution conduit vite à une architecture très lourde lorsque le nombre d'entrées augmente [clavier alphanumérique d'ordinateur par exemple]. Aussi préfère-t-on utiliser un clavier matriciel associé à un multiplexeur MX et à un démultiplexeur DMX.



Les sorties du sous ensemble horloge compteur fournissent sur le bus D₀ D₃ un nombre codé en BCD évoluant de 0 à 9, avec un changement toutes les 200 ps. Les sorties de **poinds fort** servent à l'adressage du **démultiplexeur** qui balaye alors **les lignes** du clavier en les reliant au 15 V, tandis que les sorties de **poinds faible** adressent le **multiplexeur** qui balaye **les colonnes**. Dans le cas de la figure c'est le nombre 0 qui est présent sur le bus. Lorsqu'une touche est enfoncée elle relie la ligne et la colonne concernée et un niveau logique 1 apparaît en sortie DTA [détection touche appuyée] lorsque MX et DMX sont dans la bonne position. Le balayage est alors arrêté tant que la touche reste enfoncée et la sortie du sous ensemble horloge compteur est lue par FP7 [les phénomènes de rebonds mécaniques des interrupteurs sont négligés].

VI - 1 - Quel rapport existe-t-il entre le numéro de la touche appuyé et le nombre binaire présent sur le bus de sortie D₀ à D₃.

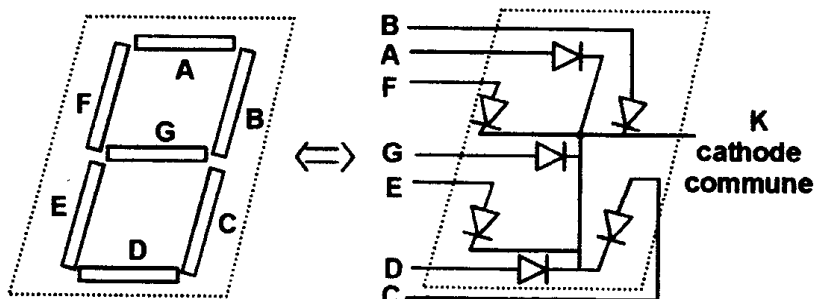
VI - 2 - Préciser le rôle des résistances reliant les colonnes du clavier à la masse.

VI - 3 - Proposer un schéma structurel pour le multiplexeur MX et pour le démultiplexeur DMX, en utilisant les portes logiques de votre choix.

VII - Affichage

Principe du décodeur BCD 7 segments.

Le nombre présent sur les sorties de FP7 est codé en BCD. Les afficheurs utilisés sont de type « 7 segments » où chaque segment est une diode électroluminescente [DEL].



L'anode de chaque diode est accessible par une broche du circuit portant le même nom que le segment concerné [A à G], les cathodes de toutes les diodes étant communes. Le passage du code BCD en "code 7 segments" se fait par un transcodeur, encore appelé « décodeur d'affichage ».

VII - 1 - Pour chaque groupe de quatre bits, établir la table de vérité liant les entrées B_0 à B_3 aux sorties du transcodeur. En déduire au moyen d'un tableau de Karnaugh l'équation logique de la commande du segment "A".

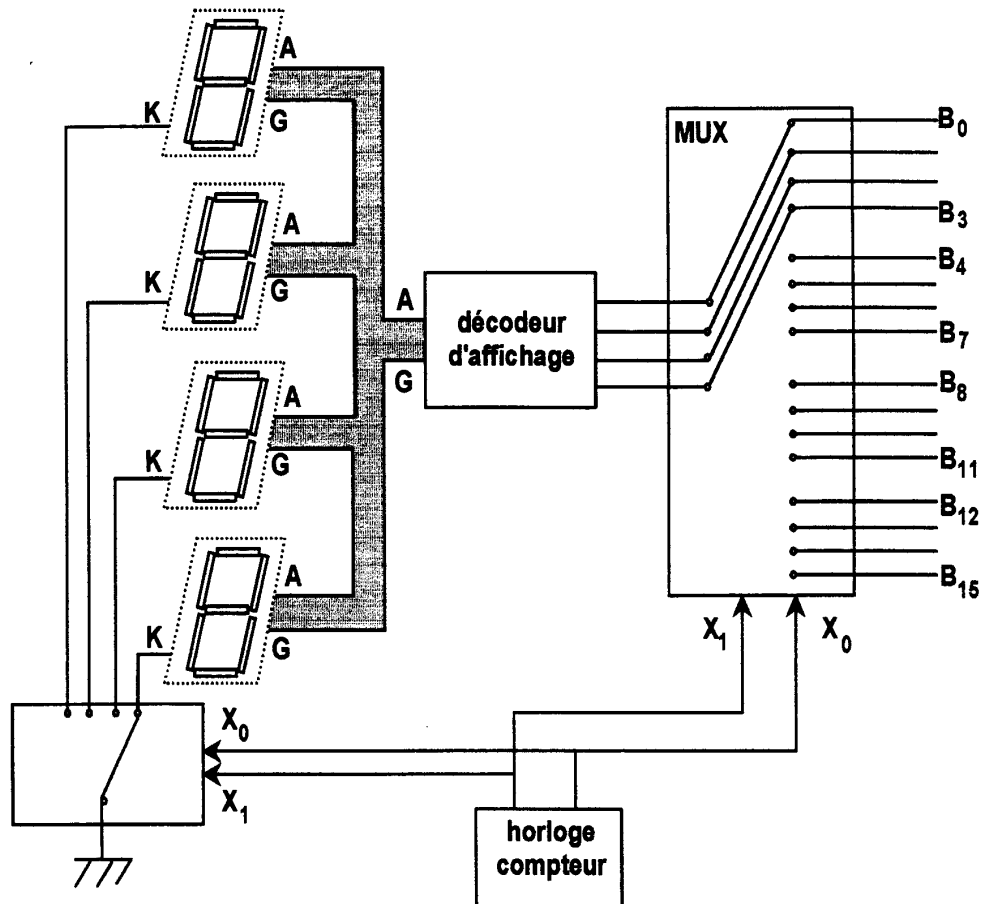
VII - 2 - Calculer la résistance à mettre en série avec chaque segment pour obtenir un courant de 10 mA dans les DEL, sachant que la tension de sortie du transcodeur est 15 V [au niveau logique 1] et la tension de seuil des DEL est de 1,5 V.

VII - 3 - En utilisant la documentation constructeur du circuit 4511 proposer un schéma structurel de commande d'un afficheur.

Affichage multiplexé

La solution précédente conduit à l'utilisation de quatre décodeurs d'affichage 4511 pour l'établissement du schéma complet [un par afficheur]. Les afficheurs étant souvent sur un circuit imprimé différent du reste de l'électronique il faudra relier les deux cartes par un grand nombre de fils. Afin de réduire la connectique et tous les problèmes qu'elle engendre [fiabilité, main d'œuvre supplémentaire etc.] on opte pour un affichage de type multiplexé.

Comme le montre la figure de la page 5, un seul transcodeur reçoit les quatre chiffres alternativement par l'intermédiaire de quatre multiplexeurs 4 vers 1 montés en parallèle et envoie les informations aux quatre afficheurs. Plutôt que d'effectuer le démultiplexage sur l'entrée des afficheurs, ce qui nécessiterait sept démultiplexeurs 4 vers 1, on préfère utiliser la broche de cathode commune comme le montre la figure page 5. Les circuits de multiplexage et démultiplexage sont adressés par un compteur deux bits et les chiffres sont donc affichés les uns après les autres avec une vitesse de balayage suffisamment importante pour ne pas avoir une impression de clignotement, la persistance des impressions lumineuses sur la rétine de l'œil donnant l'illusion d'une image stable [comme pour un oscilloscope ou un téléviseur].



VII - 4 - Représenter les chronogrammes de X_0 et X_1 , en précisant pour chaque intervalle de temps quelle partie du bus B_0 B_{15} est connectée à l'entrée du décodeur et quel afficheur est sélectionné [unité, dizaine, centaine ou millier].

VII - 5 - Proposer une réalisation pour les interrupteurs commandant les cathodes des afficheurs, en utilisant les éléments dont la documentation est donnée en annexe.

Remarque : L'ensemble multiplexeurs, horloge, compteur et décodeur peuvent être intégrés dans un même boîtier comme dans le cas du circuit de référence MM74917 par exemple.

VIII - Commande de la serrure

La serrure électrique est commandée par une bobine consommant 50 mA sous 15 V.

VIII - 1 - Proposer un schéma structurel sachant que la sortie AUT de FP2 ne peut fournir que 1 mA.

IX - Circuit de mémorisation du code clavier

Nous allons nous intéresser maintenant à la fonction FP7.

Registre parallèle

On suppose, afin de simplifier, que le code à mémoriser par FP7 ne contient qu'un seul chiffre arrivant depuis FP5 par le bus D_0 D_3 et devant être mémorisé au front montant du signal DTA [revoir le paragraphe sur la gestion du clavier] et effacé lorsque \overline{RAZM} passe au NLO.

IX - 1 - Proposer alors un schéma structurel de FP7 utilisant des bascules de votre choix [celles-ci étant supposées avoir une remise à zéro asynchrone active à l'état bas].

Registre à décalage

On suppose maintenant que le code à entrer contient quatre chiffres de un bit uniquement.

IX - 2 - Proposer un schéma structurel en utilisant les mêmes bascules que précédemment.

Système complet

IX - 3 - Proposer un schéma structurel complet pour la mémorisation de quatre mots de quatre bits. L'utilisation de bascules déclenchant sur niveau serait-elle possible ici ?

X - Horloge et compteur de la gestion de clavier

On s'intéresse maintenant à la commande des multiplexeur et démultiplexeur de FP5. Il s'agit de générer sur quatre bits tous les codes BCD de manière périodique. Pour cela on utilise un compteur attaqué par un signal d'horloge.

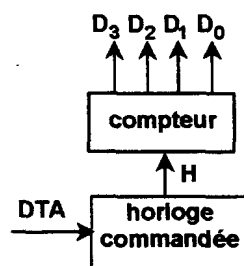
X - 1 - A l'aide de la documentation du circuit 4093 [Motorola], proposer un schéma pour la réalisation de l'horloge qui devra avoir une fréquence de 50 kHz en sortie [on calculera tous les éléments nécessaires].

X - 2 - Préciser l'allure des chronogrammes des signaux en DTA, H et D₀ à D₃ lorsque aucune touche n'est appuyée, puis lors d'un appui.

X - 3 - Proposer un schéma structurel complet de l'ensemble horloge et compteur.

XI - Signal d'autorisation de commande de la serrure

XI - 1 - Proposer un schéma structurel pour la réalisation de FS21 [revoir le paragraphe sur la gestion d'ouverture] en utilisant un circuit de référence 4538. On calculera tous les éléments nécessaires.



XII - Validation

XII - 1 - Donner les chronogrammes de VL et $\overline{\text{RAZM}}$ en sortie de FP8 lors de l'appui sur le bouton poussoir de validation. A l'aide de composants au choix [dont on précisera la référence ou la valeur], proposer un schéma structurel de FP8.

Documentation jointe

4001	4011	4585	4052	4511	2N2222	41174	4093	4538	4518	ULN2004
------	------	------	------	------	--------	-------	------	------	------	---------