

Le compteur de passage

Objet technique étudié :
Le compteur de passage

Type de document :
Dossier technique

Classe :
Première

Date :

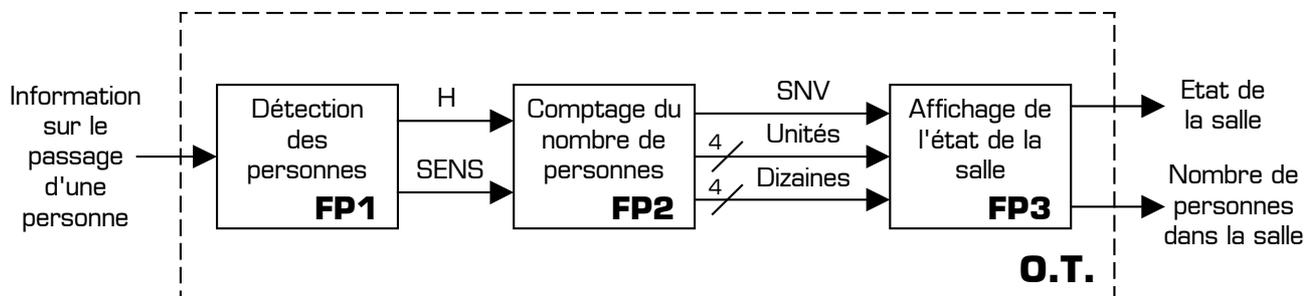
I - Description de l'Objet Technique *compteur de passage*

Les systèmes de comptage sont très répandus dans la vie courante. Ils assurent automatiquement une gestion efficace des entrées et sorties de personnes ou d'objets dans les lieux publics et les complexes industriels. Bien que leur diversité interdise d'en faire un inventaire exhaustif, nous pouvons citer trois applications parmi les plus importantes :

- * Le dénombrement des personnes occupant un magasin
- * La gestion de l'éclairage dans un lieu public
- * Le contrôle d'occupation d'un garage collectif par feu tricolore

L'O.T. que l'on se propose d'étudier a pour fonction d'afficher le nombre de personnes présentes dans une salle à un instant donné. La salle dispose d'un seul accès, *ne pouvant laisser passer qu'une seule personne à la fois*, dans un sens ou dans l'autre [personne entrante ou personne sortante]. De plus, le *compteur de passage* indique si la salle est occupée [au moins une personne à l'intérieur] ou vide [zéro personne à l'intérieur] par l'allumage ou l'extinction d'une LED.

II - Schéma fonctionnel du premier degré de l'O.T.



Ce schéma fonctionnel met en évidence les trois fonctions principales de l'O.T. :

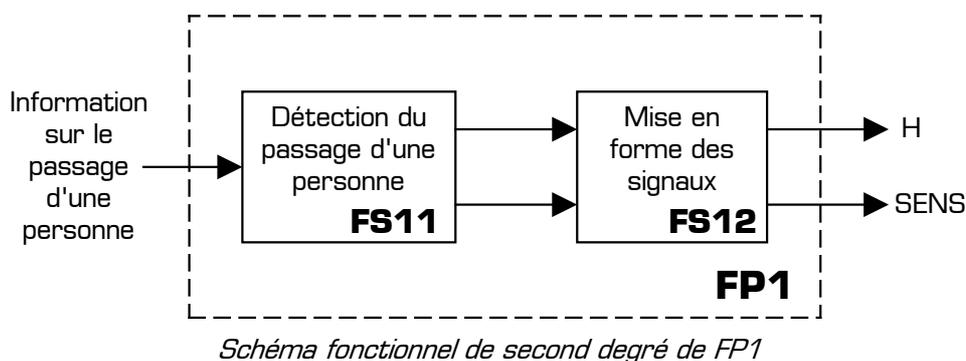
- * **FP1** : *Détection des personnes*
- * **FP2** : *Comptage du nombre de personnes*
- * **FP3** : *Affichage de l'état de la salle*

III - Schémas fonctionnels de second degré

III - 1 - Schéma fonctionnel de second degré de la fonction principale FP1 :

Le rôle de FP1 est double : cette fonction doit détecter le passage d'une personne (signal **H**), mais doit aussi détecter le sens de passage de la personne (signal **SENS**).

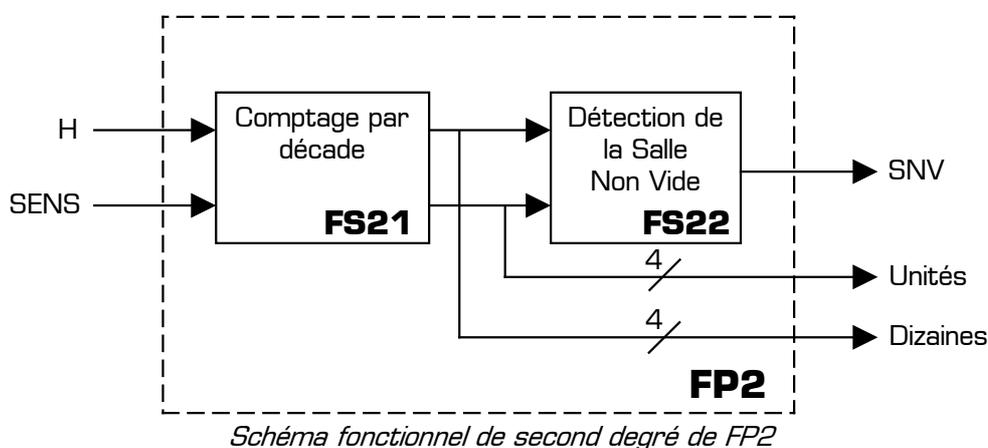
Les fonction secondaire FS12 permet de convertir les signaux *analogiques* issus de FS11, en de véritables signaux *logiques*, avec des fronts nets, afin qu'ils soient exploitables par la fonction FP2.



III - 2 - Schéma fonctionnel de second degré de la fonction principale FP2 :

Cette fonction doit compter le nombre de personnes présentes dans la salle, c'est à dire qu'elle doit augmenter d'une unité le dénombrement des personnes lorsqu'une personne entre dans la salle, mais elle doit aussi diminuer d'une unité le dénombrement lorsqu'une personne sort de la salle. La fonction FP2 reçoit en entrée les informations délivrées par FP1 [les signaux **H** et **SENS**], et fournit en sortie les 2 chiffres représentant le nombre de personnes, et codés en BCD. Sur le bus **Unités** [bus de 4 fils] on trouve les unités du nombre de personnes, et sur le bus **Dizaines** [bus de 4 fils également] on trouve les dizaines.

En plus de mettre à jours le dénombrement des personnes à chaque nouveau passage, la fonction FP2 doit aussi détecter si la salle est vide ou pas, et le signaler avec le signal **SNV** [qui signifie **S**alle **N**on **V**ide].



III - 3 - Schéma fonctionnel de second degré de la fonction principale FP3 :

Le fonction FP3 reçoit en entrée les deux bus **Unités** et **Dizaines**, et affiche les chiffres qu'ils transportent sous 2 formes différentes :

- * FS33 les affiche en binaire sur 8 LED [4 LED par décade]
- * FS32 affiche les deux décade [les dizaines et les unités] sur deux afficheurs 7 segments, après que FS31 ait convertit les codes BCD en 7 segments

De plus, la fonction FS34 signale que la salle est *non vide* par l'allumage d'une LED « *Salle Non Vide* » : lorsque la salle est vide, FS34 le signale en éteignant la LED « *Salle Non Vide* ».

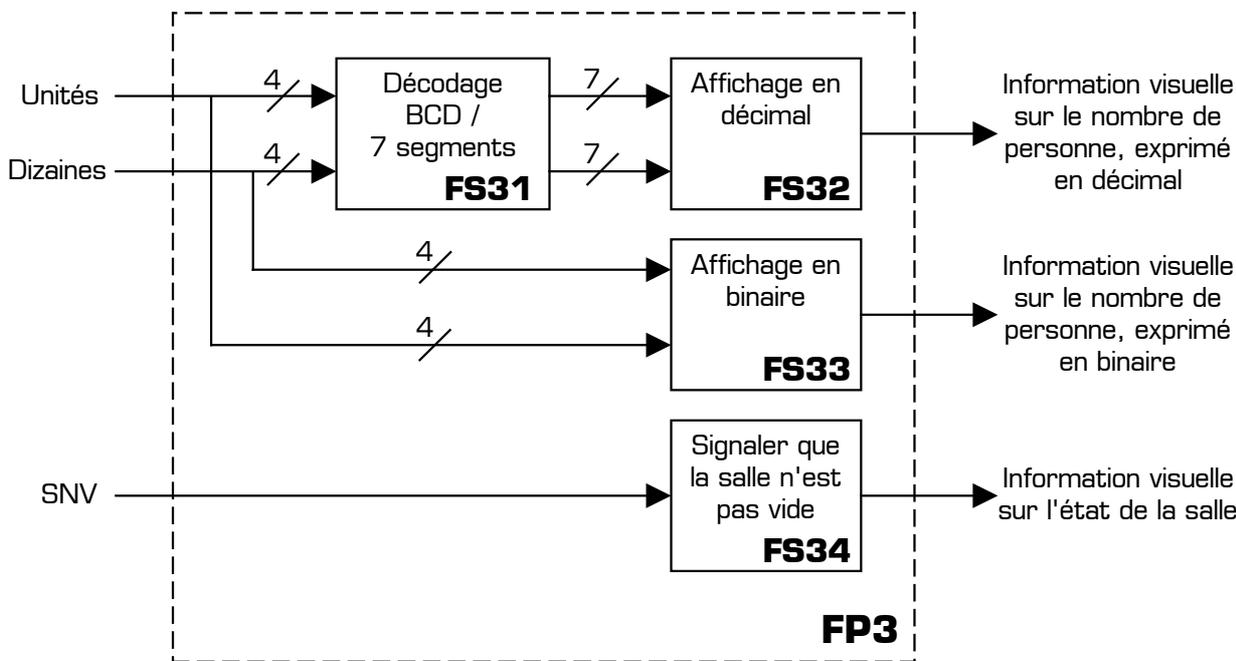


Schéma fonctionnel de second degré de FP3

IV - Schémas structurels du compteur de passage

Dans un souci de clarté, le schéma structurel global de l'O.T. a été scindé en 2 parties :

- * La partie *comptage* [voir schéma structurel page 4]
- * La partie *affichage* [voir schéma structurel page 5]

IV - 1 - Nomenclature des composants :

R1 et **R2** : résistances 1k Ω ¼ W tolérance 5%

R3 et **R4** : résistances 15k Ω ¼ W tolérance 5%

R5 : résistance 39k Ω ¼ W tolérance 5%

R6, **R21** à **R24**, et **R36** à **R39** : résistances 47k Ω ¼ W tolérance 5%

R7, **R17** à **R20**, et **R25** à **R35**, **R40** à **R46** : résistances 820 Ω ¼ W tolérance 5%

R8 à **R16** : résistances 100k Ω ¼ W tolérance 5%

C1 : condensateur 470nF

D1 à **D8** : diodes de signal 1N4148 [ou équivalent]

T1 à **T9** : transistors NPN BC337 [ou équivalent]

L3 à **L11** : LED Rouges 5 mm

L1 et **L2** : LED 5mm, ou capteurs photoélectriques à fourche

Ph1 et **Ph2** : phototransistors

CI1 : 4093

CI2 et **CI3** : 4029

CI4 et **CI5** : 4511

Aff1 et **Aff2** : afficheurs 7 segments à cathodes communes

K1 à **K8** : 1 micro switch DIL 8 interrupteurs

K9 : un cavalier

Connectique :

2 fiches bananes femelles 4mm pour l'alimentation

5 supports de circuits intégrés DIL 16 bornes

1 support de circuits intégrés DIL 14 bornes

IV - 2 - Schémas structurels :

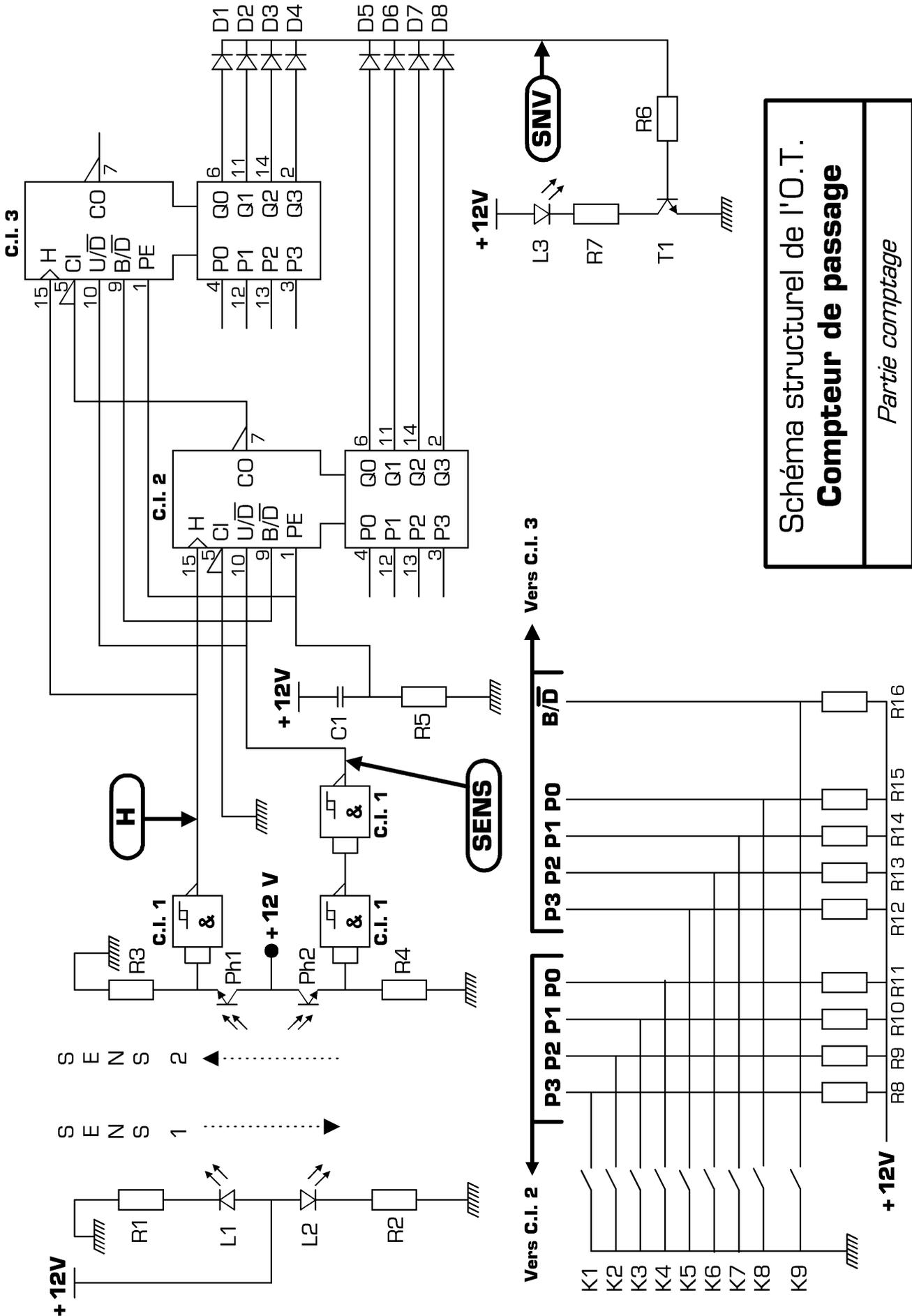


Schéma structurel de l'O.T.
Compteur de passage
Partie comptage

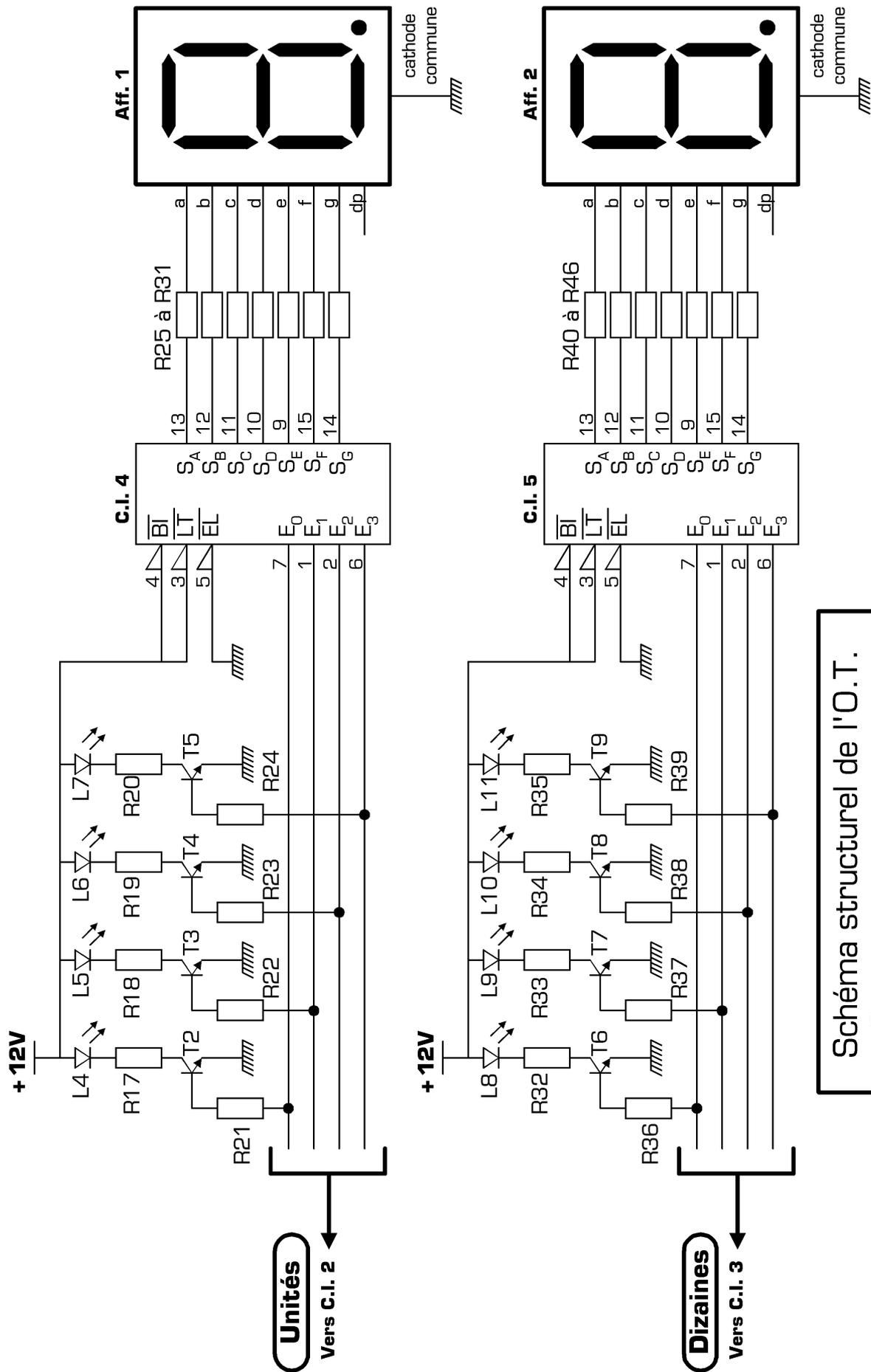


Schéma structurel de l'O.T.
Compteur de passage
Partie affichage

IV - 3 - Documentation constructeur des circuits intégrés :

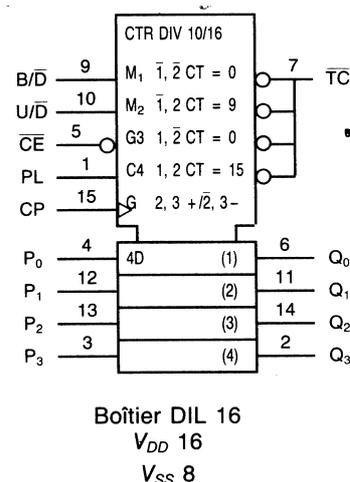
Le compteur synchrone 4 bits 4029 [voir chronogramme page 7] :

Compteur/décompteur synchrone programmable binaire/décimal

Le 4029 est un compteur synchrone sur quatre bits, déclenché par un flanc, avec une entrée d'horloge (CK), une entrée de retenue (\overline{CI}) active au niveau logique bas, une entrée de commande comptage/décomptage (U/\overline{D}), une entrée de commande binaire/décimal (B/\overline{D}), une entrée de validation de programmation asynchrone et prioritaire active au niveau logique haut (PE), quatre entrées de données parallèles ($P_0 \dots P_3$), quatre sorties parallèles ($Q_0 \dots Q_3$), et une sortie retenue active au niveau logique bas (\overline{CO}).

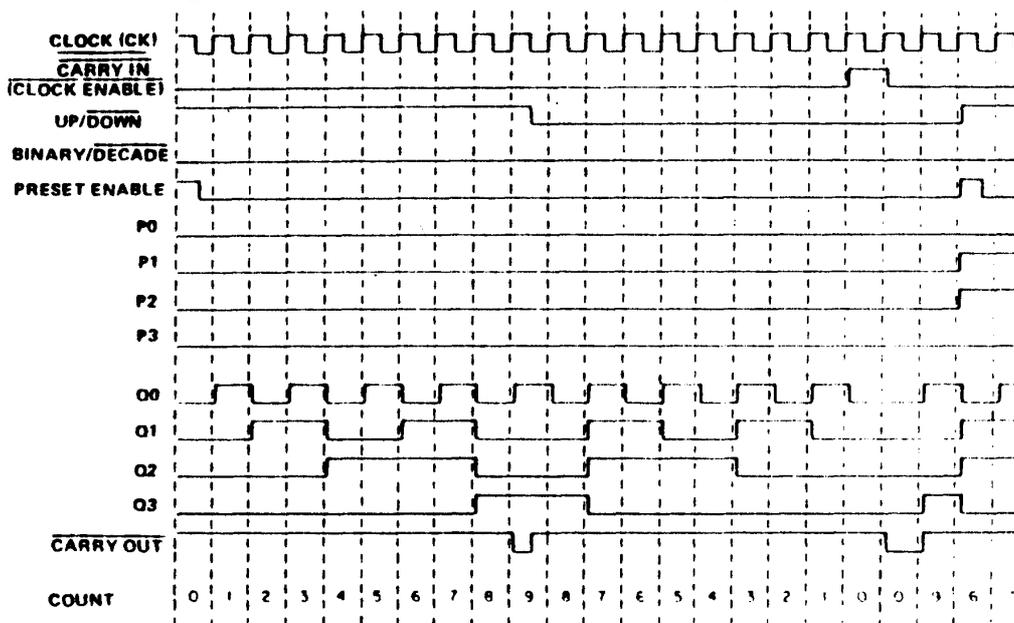
Les informations présentes sur les entrées parallèles sont chargées dans le compteur lorsque l'entrée de validation de programmation (PE) est au niveau logique haut, indépendamment de l'état des autres entrées. En forçant cette entrée au niveau logique bas, on obtient un comptage synchrone cadencé par les flancs montants du signal d'horloge.

Le type de fonctionnement est déterminé par les trois entrées synchrones de commande de mode: comptage/décomptage, binaire/décimal et entrée retenue (voir la table de sélection de mode de fonctionnement). Ces entrées ne doivent être stables que pendant la durée minimale d'établissement précédant le flanc montant du signal d'horloge et durant la durée minimale de maintien qui lui succède. La sortie retenue est au niveau logique bas lorsque le compteur a atteint sa valeur maximale, déterminée par le mode de comptage, et à condition que l'entrée retenue soit au niveau logique bas.

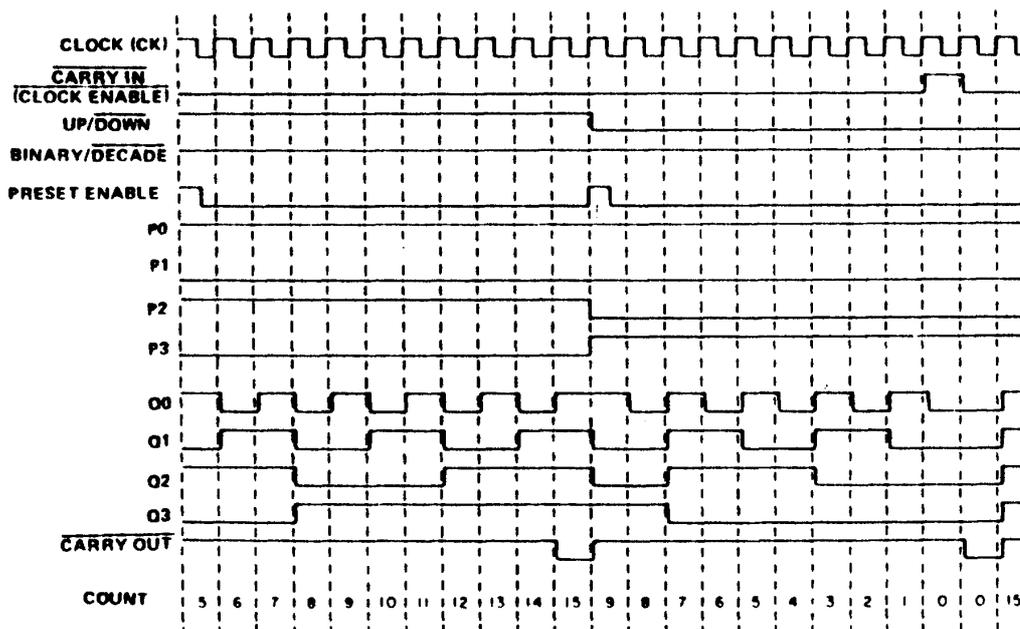


- * le 4029 est un compteur intégré **synchrone 4 bits**
- * il peut **compter** ou **décompter**, en fonction de l'état de l'entrée U/\overline{D} [*Up / Down*]
- * il compte en **binaire naturel** [de 0 à 15] ou en **BCD** [de 0 à 9] en fonction de l'état appliqué sur l'entrée B/\overline{D} [*Binary / Decade*, qui signifie *Binaire / Décimal*]
- * l'entrée PE permet **le préchargement** de la valeur appliquée sur les entrées P_0 à P_3 ce qui permet au 4029 de commencer à compter à partir de n'importe quelle valeur
- * il est **autocorrecteur** [si par exemple on précharge 1111 et qu'on compte en BCD, le 4029 revient automatiquement dans le cycle normal de comptage BCD]
- * il est **cascadable**, grâce à son entrée \overline{CI} [*Carry Input*, qui signifie « retenue d'entrée »] et à sa sortie \overline{CO} [*Carry Output* : « retenue de sortie »], ce qui lui permet de compter par décade [unités, dizaines, centaines, etc.] ; on utilise alors un 4029 par décade. Si l'entrée \overline{CI} est à 1, le compteur est inhibé : il ignore le signal d'horloge CP.
- * CP est l'entrée d'horloge, active sur fronts montants, et validé seulement si $\overline{CI} = 0$

Chronogrammes de fonctionnement du compteur 4029 :



Timing diagram decade mode.



Timing diagram binary mode.

MODE SELECTION TABLE

PE	BIN/DEC	UP/DN	CI	CK	MODE
1	X	X	X	X	Parallel load ($P_n \rightarrow Q_n$)
0	X	X	1	X	No change
0	0	0	0		Count down, decade
0	0	1	0		Count up, decade
0	1	0	0		Count down, binary
0	1	1	0		Count up, binary

X = Don't care

Le décodeur BCD / 7 segments 4511 :



BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER

The MC14511B BCD-to-seven segment latch/decoder/driver is constructed with complementary MOS (CMOS) enhancement mode devices and NPN bipolar output drivers in a single monolithic structure. The circuit provides the functions of a 4-bit storage latch, an 8421 BCD-to-seven segment decoder, and an output drive capability. Lamp test (LT), blanking (BI), and latch enable (LE) inputs are used to test the display, to turn-off or pulse modulate the brightness of the display, and to store a BCD code, respectively. It can be used with seven-segment light emitting diodes (LED), incandescent, fluorescent, gas discharge, or liquid crystal readouts either directly or indirectly.

Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

- Low Logic Circuit Power Dissipation
- High-Current Sourcing Outputs (Up to 25 mA)
- Latch Storage of Code
- Blanking Input
- Lamp Test Provision
- Readout Blanking on all Illegal Input Combinations
- Lamp Intensity Modulation Capability
- Time Share (Multiplexing) Facility
- Supply Voltage Range = 3.0 V to 18 V
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Chip Complexity: 216 FETs or 54 Equivalent Gates

MAXIMUM RATINGS* (Voltages referenced to V_{SS}).

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	V
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	V
DC Current Drain per Input Pin	I	10	mA
Operating Temperature Range	T _A	-55 to +125	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C
Maximum Output Drive Current (Source) per Output	I _{OHmax}	25	mA
Maximum Continuous Output Power (Source) per Output ‡	P _{OHmax}	50	mW

‡ P_{OHmax} = I_{OH} (V_{DD} - V_{OH})

*Maximum Ratings are those values beyond which damage to the device may occur.

†Temperature Derating: All Packages: -7.0 mW/°C from 65°C to 125°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. A destructive high current mode may occur if V_{in} and V_{out} are not constrained to the range V_{SS} ≤ (V_{in} or V_{out}) ≤ V_{DD}.

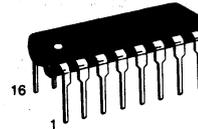
Due to the sourcing capability of this circuit, damage can occur to the device if V_{DD} is applied, and the outputs are shorted to V_{SS} and are at a logical 1 (See Maximum Ratings).

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

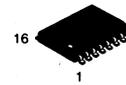
MC14511B



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648



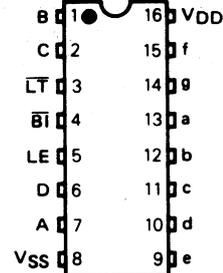
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

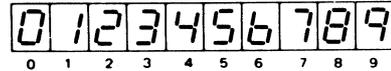
MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBDW SOIC

T_A = -55° to 125°C for all packages.

PIN ASSIGNMENT



DISPLAY



TRUTH TABLE

INPUTS				OUTPUTS							
LE	BI	LT	DCBA	a	b	c	d	e	f	g	DISPLAY
X	X	0	X X X X	1	1	1	1	1	1	1	8
X	0	1	X X X X	0	0	0	0	0	0	0	Blank
0	1	1	0 0 0 0	1	1	1	1	1	1	0	0
0	1	1	0 0 0 1	0	1	1	0	0	0	0	1
0	1	1	0 0 1 0	1	1	0	1	0	1	0	2
0	1	1	0 0 1 1	1	1	1	0	0	1	0	3
0	1	1	0 1 0 0	0	1	1	0	0	0	1	4
0	1	1	0 1 0 1	1	0	1	1	0	1	1	5
0	1	1	0 1 1 0	0	0	1	1	1	1	1	6
0	1	1	0 1 1 1	1	1	1	0	0	0	0	7
0	1	1	1 0 0 0	1	1	1	1	1	1	1	8
0	1	1	1 0 0 1	1	1	1	0	0	1	1	9
0	1	1	1 0 1 0	0	0	0	0	0	0	0	Blank
0	1	1	1 0 1 1	0	0	0	0	0	0	0	Blank
0	1	1	1 1 0 0	0	0	0	0	0	0	0	Blank
0	1	1	1 1 0 1	0	0	0	0	0	0	0	Blank
0	1	1	1 1 1 0	0	0	0	0	0	0	0	Blank
0	1	1	1 1 1 1	0	0	0	0	0	0	0	Blank
1	1	1	X X X X	-	-	-	-	-	-	-	-

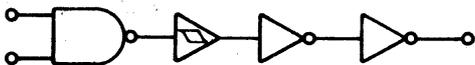
X = Don't Care

*Depends upon the BCD code previously applied when LE = 0

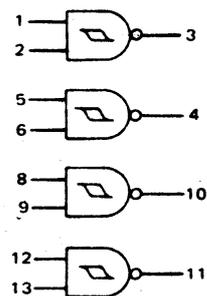
INPUTS				OUTPUTS							
LE	\overline{BI}	\overline{LT}	D C B A	a	b	c	d	e	f	g	DISPLAY
X	X	0	X X X X	1	1	1	1	1	1	1	8
X	0	1	X X X X	0	0	0	0	0	0	0	Blank
0	1	1	0 0 0 0	1	1	1	1	1	1	0	0
0	1	1	0 0 0 1	0	1	1	0	0	0	0	1
0	1	1	0 0 1 0	1	1	0	1	1	0	1	2
0	1	1	0 0 1 1	1	1	1	1	0	0	1	3
0	1	1	0 1 0 0	0	1	1	0	0	1	1	4
0	1	1	0 1 0 1	1	0	1	1	0	1	1	5
0	1	1	0 1 1 0	0	0	1	1	1	1	1	6
0	1	1	0 1 1 1	1	1	1	0	0	0	0	7
0	1	1	1 0 0 0	1	1	1	1	1	1	1	8
0	1	1	1 0 0 1	1	1	1	0	0	1	1	9
0	1	1	1 0 1 0	0	0	0	0	0	0	0	Blank
0	1	1	1 0 1 1	0	0	0	0	0	0	0	Blank
0	1	1	1 1 0 0	0	0	0	0	0	0	0	Blank
0	1	1	1 1 0 1	0	0	0	0	0	0	0	Blank
0	1	1	1 1 1 0	0	0	0	0	0	0	0	Blank
0	1	1	1 1 1 1	0	0	0	0	0	0	0	Blank
1	1	1	X X X X				.				.

Le circuit 4093 : 4 portes ET-NON à entrée Trigger

EQUIVALENT CIRCUIT SCHEMATIC
(1/4 OF CIRCUIT SHOWN)



LOGIC DIAGRAM



V_{DD} = Pin 14
 V_{SS} = Pin 7

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.