

LE BUS I2C

SOMMAIRE

- 1/ Présentation du concept bus I2C
 - 1.1/Généralités
 - 1.2/ Terminologie du bus I2C:
- 2/ Caractéristiques générales
 - 2.1/ Caractéristiques physiques
 - 2.2/ Vitesse de transfert
 - 2.3/ Nombre maximal de circuits connectés
- 3/ Transfert d'un bit
 - 3.1/ Validité de la donnée
 - 3.2/ Conditions de start et de stop
- 4/ Transfert de données
 - 4.1/ Format des données
 - 4.2/ Le signal ACKNOWLEDGE
 - 4.3/ Signification du premier octet transféré
- 5/ Exemple de trames transférées
 - 5.1/ Mode maître transmetteur
 - 5.2/ Mode maître receveur

1/ Présentation du concept bus I2C

1.1/Généralités

I2C est un bus série permettant de transmettre des informations de façon asynchrone entre divers circuits connectés sur le bus. Le protocole de la liaison est du type MAITRE/ESCLAVE. Chaque circuit est reconnu par son adresse et peut être soit transmetteur soit receveur de l'information. Ces circuits peuvent être : Un ordinateur, un micro-contrôleur, un microprocesseur, une mémoire, un périphérique (clavier, écran,...) etc.

Dans le protocole du bus I2C le circuit maître est celui qui demande un transfert d'information sur le bus et qui génère le signal d'horloge qui permet le transfert. Ainsi un circuit adressé est considéré comme un esclave.

Le bus I2C est un bus multi maître, cela signifie que plusieurs circuits peuvent contrôler le bus. Cette configuration du bus dépassant le cadre de notre cours nous étudieront seulement le cas de l'utilisation du bus avec un seul circuit maître.

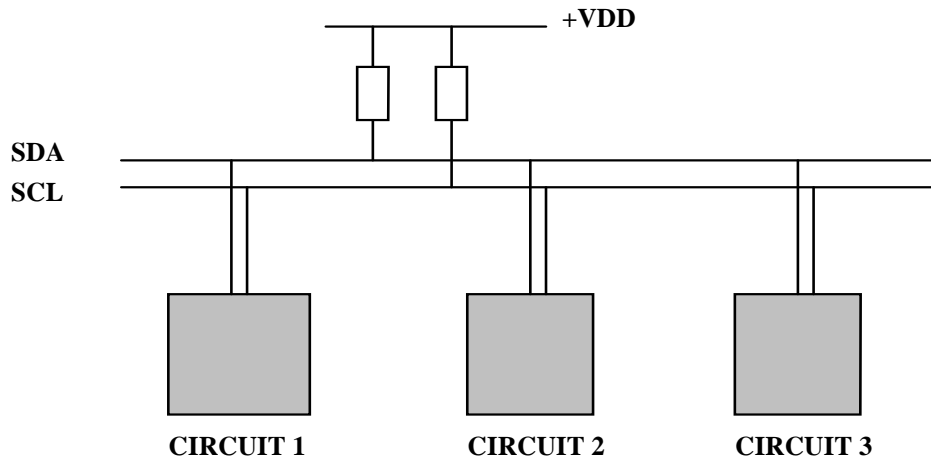
1.2/ Terminologie du bus I2C:

- Transmetteur:** Le circuit qui envoie la donnée sur le bus
- Receveur:** Le circuit qui reçoit la donnée du bus
- Maître:** Le circuit qui commence le transfert, génère l'horloge et termine le transfert
- Esclave:** Le circuit adressé par le maître.

2/ Caractéristiques générales

2.1/ Caractéristiques physiques

Deux fils SDA (Serial DATA) et SCL (Serial CLOCK) véhiculent les informations entre les différents circuits.



SDA et SCL sont des lignes bidirectionnelles, connectées à plus VCC par l'intermédiaire de deux résistances de tirage. Quand le bus est libre, c'est à dire quand il n'y a pas de transfert de données les deux lignes sont à l'état haut.

2.2/ Vitesse de transfert

Le transfert des données peut se faire jusqu'à une vitesse de 100 kbits /s

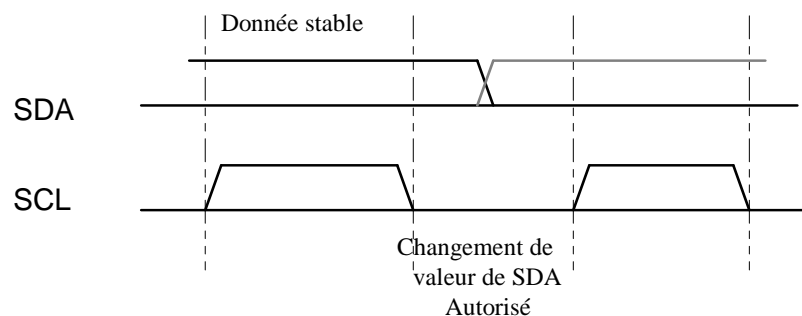
2.3/ Nombre maximal de circuits connectés

Le nombre maximal de circuits connectés sur le bus dépend uniquement de la capacitance maximale du bus qui est de 400 pf

3/ Transfert d'un bit

3.1/ Validité de la donnée

La donnée sur la ligne SDA doit être stable pendant que l'horloge est haute sur SCL. La valeur de SDA peut uniquement changer quand SCL est à l'état bas.

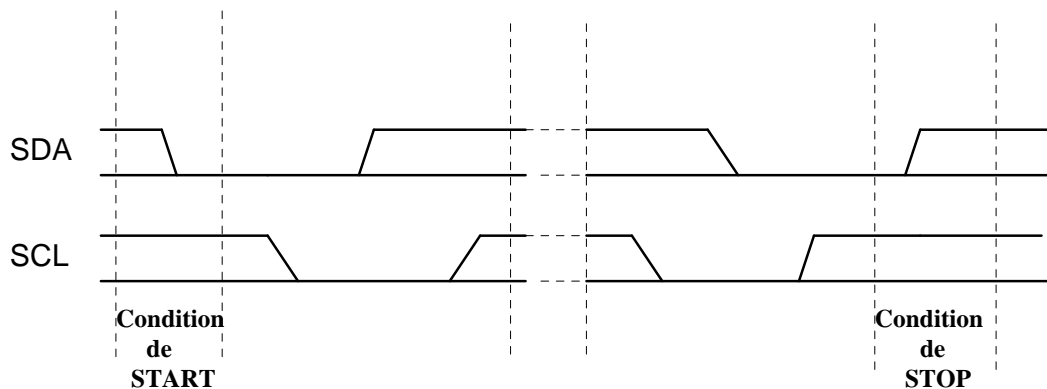


3.2/ Conditions de start et de stop

Un message débute par une condition de START et se termine par une condition de STOP. Après une condition de START le bus est considéré comme occupé, il est de nouveau libre après la condition de STOP. Les conditions de START et de STOP sont émises par le maître.

Condition de START: Passage de l'état haut à l'état bas de SDA pendant que SCL est à l'état haut.

Condition de STOP: Passage de l'état bas à l'état haut de SDA pendant que SCL est à l'état haut.



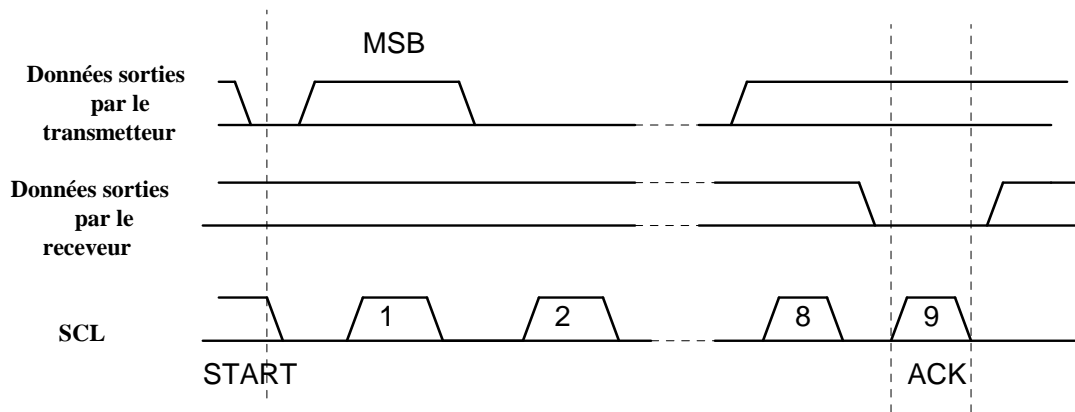
4/ Transfert de données

4.1/ Format des données

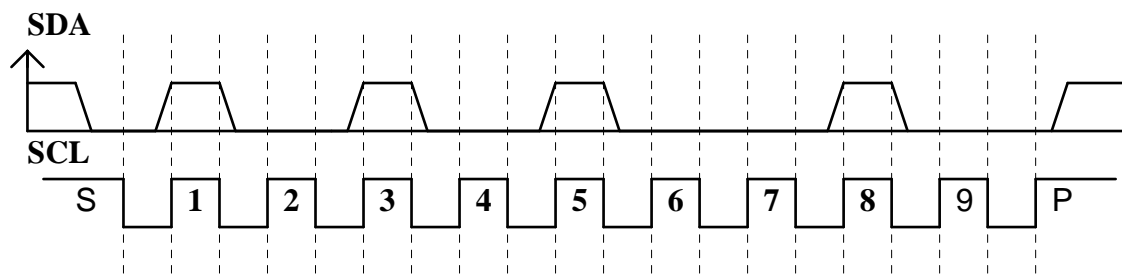
Les données sont transférées par paquets de 8 bits (1 octet). Le nombre d'octets pouvant être transmis par message est illimité. Les données sont transférées avec le MSB en premier. Chaque octet doit être suivi d'un bit d'acknowledge.

4.2/ Le signal ACKNOWLEDGE

Après chaque octet transféré le circuit qui reçoit le message doit acquitter un signal d'acknowledge, celui-ci consiste en la mise à l'état bas de la ligne SDA par le circuit receveur de l'information



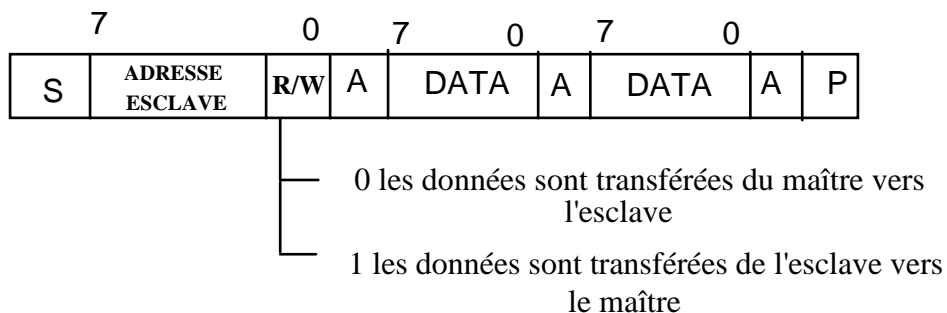
Exemple: Déterminer le chronogramme du transfert de l'octet A9h en admettant qu'il soit précédé d'une condition de Start, suivi d'un Acknowledge et d'une condition de stop.



4.3/ Signification du premier octet transféré

Dans le premier octet transféré les sept premiers bits représentent l'adresse de l'esclave et le huitième est le bit de read/write. Si le bit de read/write est à zéro, cela signifie que le maître écrit à l'esclave les données qui suivent. Si il est à un le maître lit des données.

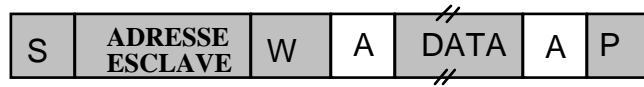
Formalisme très contraignant, il n'y a pas comme dans JBUS la notion d'aller écrire/lire à une adresse déterminée.



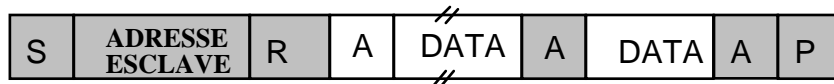
S: START
 A: ACK
 P: STOP

5/ Exemple de trames transférées


5.1/ Mode maître transmetteur



5.2/ Mode maître receveur



 Du maitre vers l'esclave

 De l'esclave vers le maitre

S : Condition de START

P : Condition de stop

LE BUS I2C FICHE RESUME

Présentation:

I2C est un bus **série** permettant de transmettre des informations de façon **asynchrone** entre divers circuits connectés sur le bus. Le protocole de la liaison est du type **MAITRE/ESCLAVE**. Chaque circuit est reconnu par son adresse et peut être soit transmetteur soit receveur de l'information.

Deux fils **SDA** (Serial DATA) et **SCL** (Serial CLock) véhiculent les informations entre les différents circuits. SDA et SCL sont des lignes bidirectionnelles, connectées à plus VCC par l'intermédiaire de deux résistances de tirage. Quand le bus est libre, c'est à dire quand il n'y a pas de transfert de données les deux lignes sont à l'état haut.

Pour que le transfert d'un bit soit **valide** la donnée sur la ligne SDA doit être stable pendant que l'horloge est haute sur SCL. La valeur de SDA peut uniquement changer quand SCL est à l'état bas.

Un message débute par une condition de START et se termine par une condition de STOP.

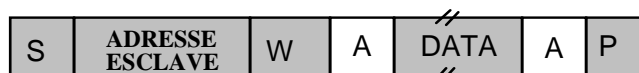
Condition de START: Passage de l'état haut à l'état bas de SDA pendant que SCL est à l'état haut.

Condition de STOP: Passage de l'état bas à l'état haut de SDA pendant que SCL est à l'état haut.

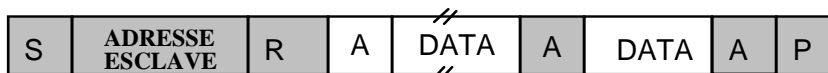
Transfert de données sur le bus:

Les données sont transférées par paquets de 8 bits (1 octet). Chaque octet doit être suivi d'un bit d'acknowledge. Dans le premier octet transféré les sept premiers bits représentent l'adresse de l'esclave et le huitième est le bit de read/write

Mode maitre transmetteur



Mode maitre receveur



Du maitre vers l'esclave

De l'esclave vers le maitre

S : Condition de START

P : Condition de STOP
