

CORRECTION

Section : S	Option : Sciences de l'ingénieur	Discipline : Génie Électrique	
Les grandeurs électriques appliquées aux portes logiques			
Domaine d'application : Les systèmes logiques	Type de document : Cours	Classe : Première	Date :

I - Les tensions d'entrée et de sortie des portes logiques

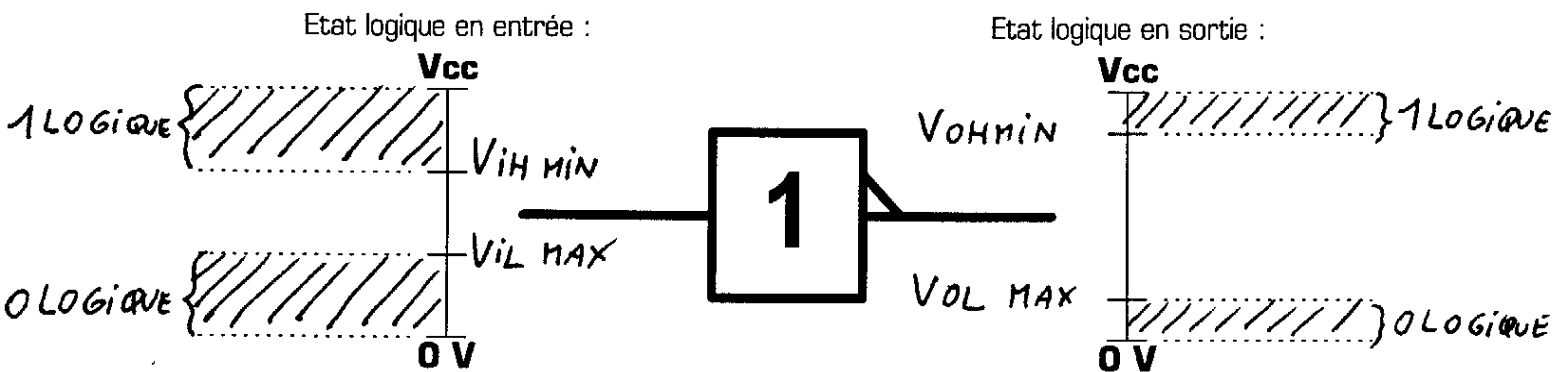
I - 1 - Etats logiques et niveaux de tension

I - 1 - 1 - Porte logique idéale

Pour une porte logique idéale, les états logiques 0 et 1 sont représentés par les tensions fixes 0V et V_{CC} (V_{CC} étant la tension d'alimentation du circuit, 5V par exemple), et ce, aussi bien en entrée qu'en sortie.

I - 1 - 2 - Porte logique réelle

En pratique, un niveau bas et un niveau haut n'ont pas de valeur fixe, mais sont représentés par une tension pouvant varier dans une plage de valeurs :



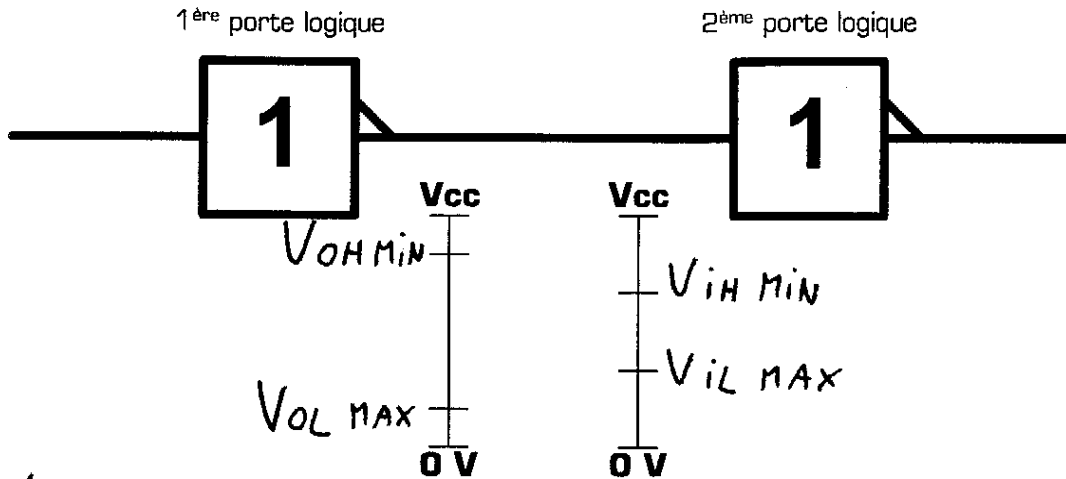
En sortie d'une porte logique :

- * Le niveau bas est représenté par une tension comprise entre 0V et une valeur maximale appelée $V_{OL\ MAX}$.
- * Le niveau haut est représenté par une tension comprise entre V_{CC} (tension d'alimentation de la porte logique) et une valeur minimale appelée $V_{OH\ MIN}$.

En entrée d'une porte logique :

- * Pour que la tension appliquée à l'entrée d'une porte logique soit considérée comme un niveau bas, il faut que cette tension soit comprise entre 0V et une valeur maximale appelée $V_{IL\ MAX}$.
- * Pour que la tension appliquée à l'entrée d'une porte logique soit considérée comme un niveau haut, il faut que cette tension soit comprise entre V_{CC} et une valeur minimale appelée $V_{IH\ MIN}$.

I - 2 - Mise en cascade de deux portes logiques



Il faut que le $V_{IL\ MAX}$ de la 2^{ème} porte soit SUPÉRIEUR au $V_{OL\ MAX}$ de la 1^{ère} porte, afin que quelque soit la valeur de la tension délivrée par la première porte au NIVEAU BAS, cette tension soit effectivement interprétée comme un NIVEAU BAS par la seconde porte.

Il faut que le $V_{IH\ MIN}$ de la 2^{ème} porte soit INFÉRIEUR au $V_{OH\ MIN}$ de la 1^{ère} porte, afin que quelque soit la valeur de la tension délivrée par la première porte au NIVEAU HAUT, cette tension soit effectivement interprétée comme un NIVEAU HAUT par la seconde porte.

Les **conditions de mise en cascade** de deux portes logiques s'écrivent donc :

- * $V_{OH\ MIN}$ de la 1^{ère} porte $>$ $V_{IH\ MIN}$ de la 2^{ème} porte
- * $V_{OL\ MAX}$ de la 1^{ère} porte $<$ $V_{IL\ MAX}$ de la 2^{ème} porte

Cette condition de mise en cascade est bien sûr respectée lorsqu'il s'agit de deux portes de même technologie (par exemple deux portes C-MOS), mais est à vérifier lorsque l'on veut brancher deux portes de technologies différentes (par exemple, la sortie d'une porte TTL branchée à l'entrée d'une porte C-MOS).

I - 3 - Immunité au bruit

Plus la différence entre $V_{IL\ MAX}$ et $V_{OL\ MAX}$ est grande, moins les portes sont sensibles aux parasites lors d'un transfert d'un NIVEAU BAS d'une porte à une autre.

Plus la différence entre $V_{IH\ MIN}$ et $V_{OH\ MIN}$ est grande, moins les portes sont sensibles aux parasites lors d'un transfert d'un NIVEAU HAUT d'une porte à une autre.

Définition de **l'immunité au bruit** d'une porte logique :

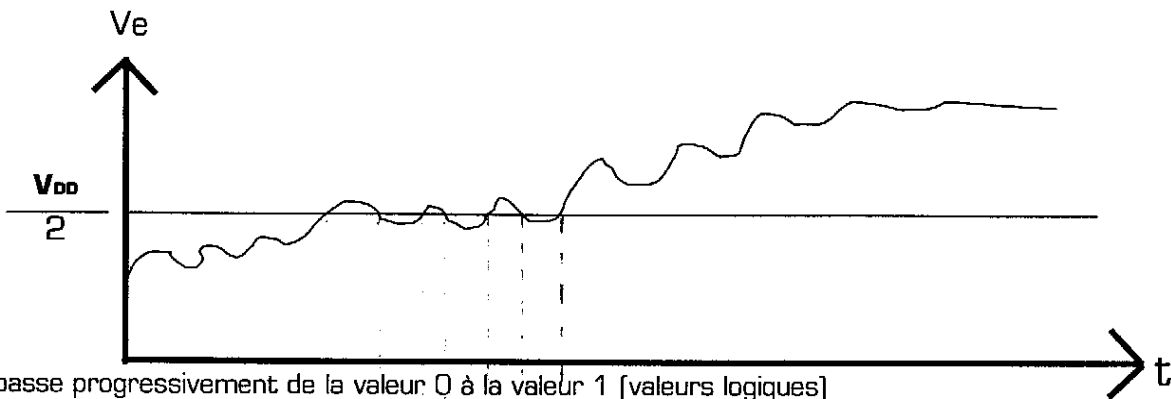
- * La différence $|V_{IL\ MAX} - V_{OL\ MAX}|$ s'appelle l'immunité au bruit au niveau bas
- * La différence $|V_{OH\ MIN} - V_{IH\ MIN}|$ s'appelle l'immunité au bruit au niveau haut

I - 4 - Les portes logiques à entrée Trigger

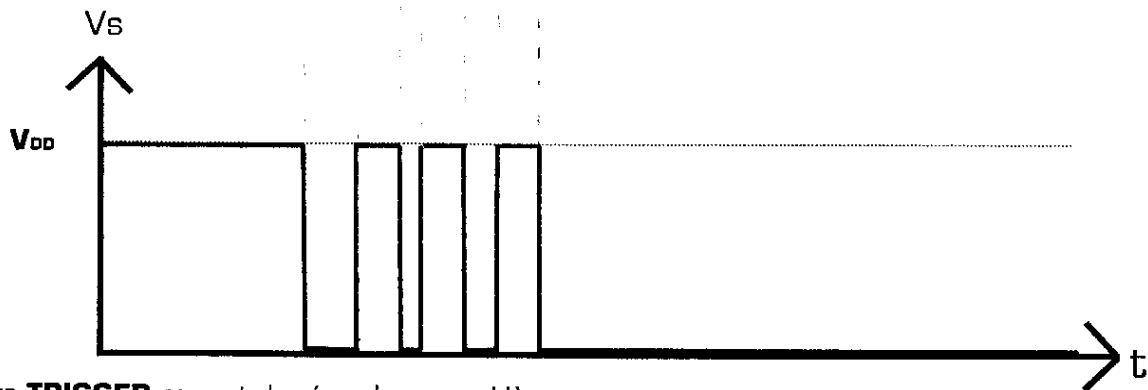
En technologie CMOS, une porte standard bascule à $V_{DD}/2$. Par exemple pour un inverseur,

- * si $V_e < V_{DD}/2 \rightarrow V_s = V_{DD}$,
- * si $V_e > V_{DD}/2 \rightarrow V_s = 0$

Conséquence : si le signal d'entrée n'a pas des fronts nets [s'il s'agit par exemple d'un signal analogique provenant d'un capteur], la sortie va osciller avant de se stabiliser :



Ici V_e passe progressivement de la valeur 0 à la valeur 1 [valeurs logiques]



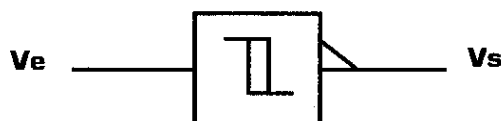
Une porte **TRIGGER** permet de résoudre ce problème.

Contrairement à une porte standard, une porte TRIGGER n'a pas un seuil de basculement, mais possède 2 seuils de basculement : V_B et V_H tel que $V_B < V_H$

Dans le cas d'un inverseur TRIGGER, les conditions de basculement de la sortie sont les suivantes :

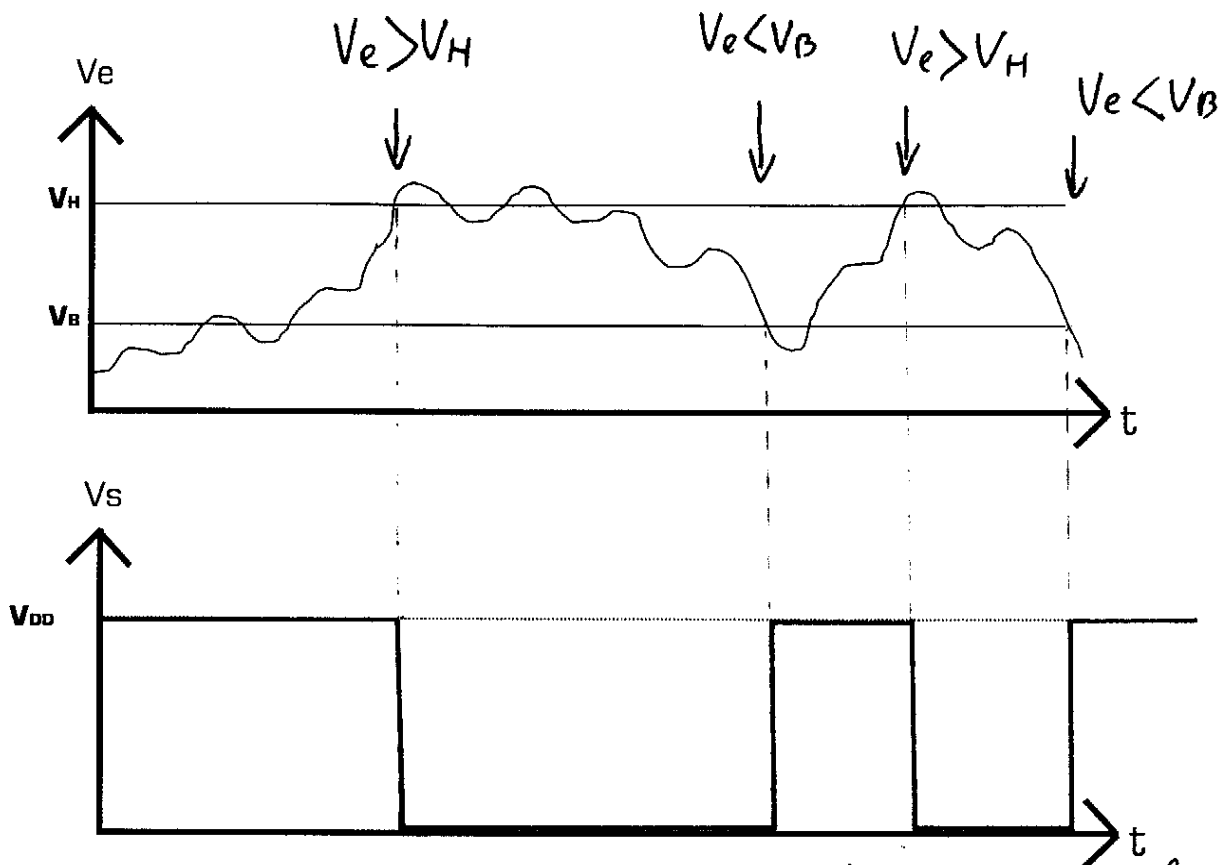
- * il faut que $V_e > V_H$ pour que $V_s = 0$
- * il faut que $V_e < V_B$ pour que $V_s = V_{DD}$

Symbole d'un TRIGGER inverseur :



Application :

Sur la page 4, V_e est un signal analogique qui n'est pas directement exploitable par une porte standard. Grâce à un inverseur à entrée Trigger, V_e est converti en un signal logique, présentant 2 niveaux bien nets, et totalement compatibles avec les portes logiques.



A la sortie de l'inverseur trigger, V_s est un signal rectangulaire parfaitement exploitable par les circuits logiques : il ne possède plus que 2 niveaux de tension correspondant aux 2 états logiques (0 et 1) (sans ambiguïté)

Exemple de circuits TRIGGER, en technologie CMOS et TTL :

- * 4093 [4 portes ET-NON à 2 entrées Trigger]
- * 4584 [6 portes NON Trigger]
- * 74LS13 [2 portes ET-NON à 4 entrées Trigger]
- * 74LS19 [6 portes NON Trigger]

Exemple de valeur des seuils pour les circuits 4093 et 40106 :

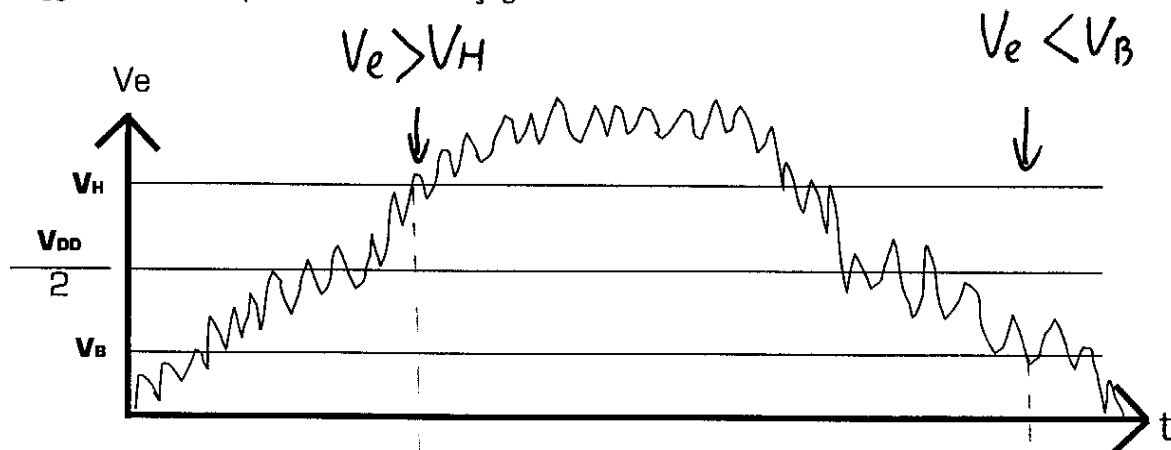
V_{DD}	4093			40106		
	5 V	10 V	15 V	5 V	10 V	15 V
V_H	2,9 V	5,2 V	7,3 V	3,2 V	5,8 V	8,3 V
V_B	2,2 V	4,2 V	6 V	2,2 V	4,5 V	6,5 V

Les seuils V_H et V_B des portes à entrées TRIGGER dépendent du circuit utilisé, de la tension d'alimentation, mais aussi du fabricant du circuit. Il faut donc consulter la documentation du constructeur pour connaître le niveau exact des seuils V_H et V_B de circuits TRIGGER.

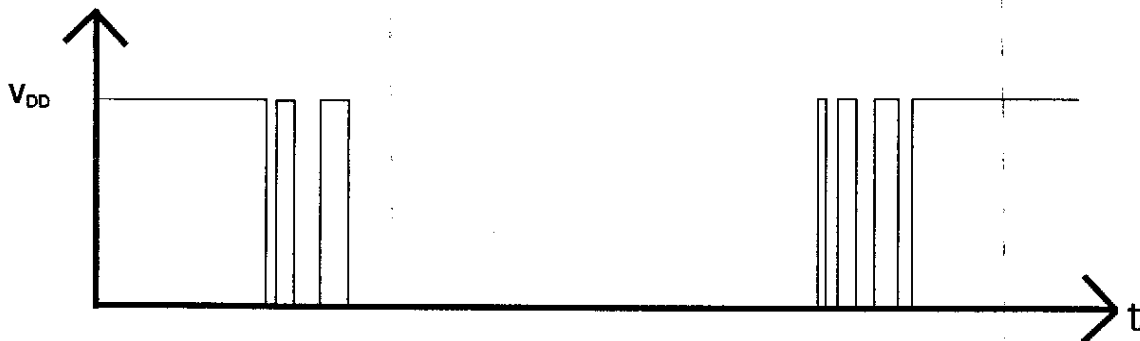
La fonction **Trigger** (ou *Trigger de Schmitt*) est utilisée pour traiter les signaux à fronts lents, et permet une mise en forme de ces signaux.

La qualité des signaux à traiter par les circuits logiques est souvent médiocre. Leur forme les rend inexploitable par les circuits logiques. Le trigger de Schmitt permet d'obtenir des créneaux de forme régulière. Les entrées de nombreux circuits logiques comportent un Trigger pour effectuer la mise en forme des signaux qui leur sont appliqués.

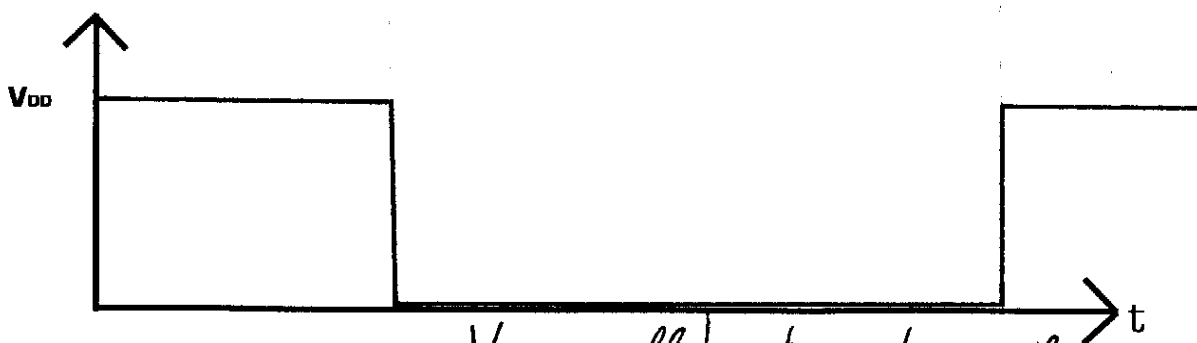
Exemple de mise en forme utilisant une porte à entrée Trigger : le signal V_e provient d'un système de mesure qui délivre une information qui n'est pas compatible (signal lent et bruité) avec les circuits logiques traditionnels. Un Trigger de Schmitt permettra l'interfaçage nécessaire :



V_s avec une porte standard



V_s avec une porte TRIGGER



Dans le cas d'une porte standard, si V_e oscille autour du seuil unique ($V_{DD}/2$), la sortie oscille entre les valeurs logiques 0 et 1. Avec une porte Trigger, même si le seuil d'entrée oscille autour d'un des 2 seuils, la sortie n'oscille pas et présente des valeurs logiques franches.

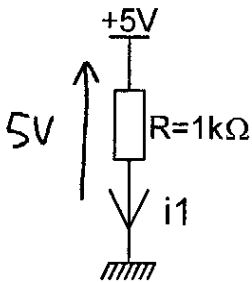
Avec une porte Trigger, *même si la tension d'entrée oscille autour d'un de ses rails, la sortie n'oscille pas et présente ainsi des valeurs logiques franches (0V ou VDD)*

II - Les courants d'entrée et de sortie des portes logiques

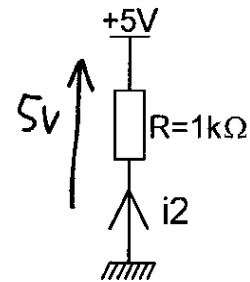
II - 1 - Rappel de physique

En électricité, un courant va toujours du potentiel le plus grand vers le potentiel le plus faible. Cela veut dire qu'en pratique, dans le cas d'une alimentation simple, le courant électrique se dirige toujours **vers la masse**.

Application : Calculer le courant i dans les deux cas suivants :



$$i_1 = \frac{5V}{1k\Omega} = 5mA$$



$$i_2 = \frac{-5V}{1k\Omega} = -5mA$$

Remarques sur le signe des courants :

$$i_1 > 0$$

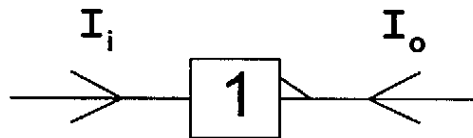
$$i_2 < 0$$

Mais dans les deux cas le courant réel se dirige dans le même sens : **vers la masse**. Sur le premier schéma, i_1 est fléché dans le même sens que le courant réel : i_1 est donc positif. Sur le second schéma, i_2 est fléché dans le sens inverse du courant réel : i_2 est donc négatif.

II - 2 - Définition des courants d'entrée et de sortie des portes logiques

On appelle I_i le courant d'entrée d'une porte logique (i =input=entrée), et I_o le courant de sortie (o =output=sortie).

Par convention, les courants d'entrée et de sortie d'une porte logique sont définis positivement **entrant vers la porte** :



Le constructeur nous donne les valeurs des courants d'entrée et de sortie, au niveau logique haut et bas.

I_{iL} : Valeur du courant d'entrée d'une porte lorsque l'entrée est au niveau bas

I_{iH} : Valeur du courant d'entrée d'une porte lorsque l'entrée est au niveau haut

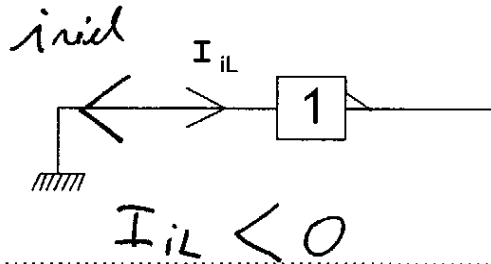
I_{oL} : Valeur maximale du courant délivré par la porte lorsque la sortie est au niveau bas

I_{oH} : Valeur MAX du courant en sortie de la porte lorsque la sortie est au niveau haut

II - 3 - Déduction du signe de chacun de ces 4 courants

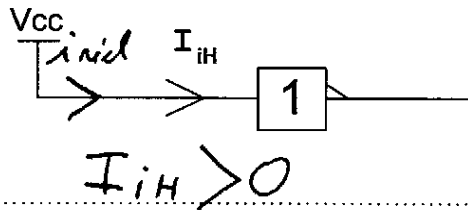
Appelons $I_{réel}$ le courant physique réel, qui circule toujours de V_{cc} vers la masse. Dans chacun des 4 cas suivants, représenter en rouge le sens du courant réel, et déduire le signe du courant recherché :

II - 3 - 1 - I_{iL} : Courant d'entrée au niveau bas. L'entrée de la porte logique est au niveau bas, elle est donc connectée à la masse :



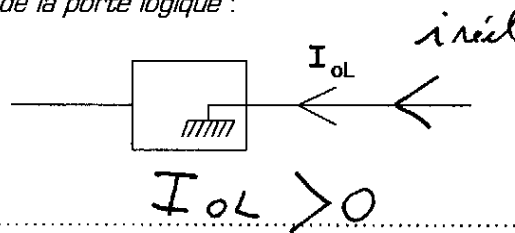
On en déduit que :

II - 3 - 2 - I_{iH} : Courant d'entrée au niveau haut. L'entrée de la porte logique est au niveau haut, elle est donc connectée à V_{cc} :



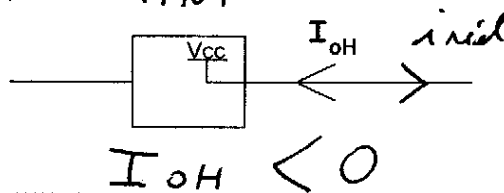
On en déduit que :

II - 3 - 3 - I_{oL} : Courant de sortie au niveau bas. La sortie de la porte logique est au niveau bas (à 0V), elle est donc reliée à la masse à l'intérieur de la porte logique :



On en déduit que :

II - 3 - 4 - I_{oH} : Courant de sortie au niveau haut. La sortie de la porte logique est au niveau haut, elle est donc reliée à V_{cc} à l'intérieur de la porte logique :



On en déduit que :

Récapitulation	
$I_{iL} < 0$	$I_{oL} > 0$
$I_{iH} > 0$	$I_{oH} < 0$

II - 4 - Valeur des courants pour différentes technologies

Le tableau ci-dessous donne les différents paramètres technologiques pour 10 familles de circuits logiques. En y faisant référence, indiquer dans le tableau ci-dessous la valeur des courants d'entrée et de sortie pour les 4 familles logiques suivantes :

- * Famille **4000** [technologie CMOS standard]
- * Famille **4000B** [technologie CMOS bufférisé]
- * Famille **74 xxxx** [technologie TTL standard]
- * Famille **74 LS xxxx** [technologie TTL faible consommation]

Technologie	CMOS [avec Vcc = 5V]		TTL [Vcc = 5V]	
Familles	4000 CMOS Standard	4000B CMOS Bufferisé	74 TTL Standard	74 LS TTL Faible consommation
I _{IL}	<i>négligeable</i>	<i>négligeable</i>	-1,6 mA	-360 µA
I _{IH}	<i>négligeable</i>	<i>négligeable</i>	40 µA	20 µA
I _{OL}	1 mA	6,8 mA	16 mA	8 mA
I _{OH}	-1 mA	-6,8 mA	-400 µA	-400 µA

77 ■ 6 COMPARAISON DES PARAMÈTRES DES DIFFÉRENTES FAMILLES

Conditions : tension d'alimentation = 5 V ; T_a = 25 °C ; capacité de charge = 15 pF.

FAMILLES

54/74 TTL Standard 74 AS TTL Advanced Schottky 54.. -55 à +125 °C
54L/74L TTL Faible consommation 74ALS TTL Advanced Low Power Schottky 74.. 0 à +70 °C
54S/74S TTL Schottky 74F TTL Fast 74 LVT Technologie ABT (3,3 V)
54LS/74LS TTL Low Power Schottky 74C/74HC/74HCT/4000B CMOS

Paramètres	74	74S	74LS	74AS	74ALS	74F	74HC	74HCT	4000B	74 LVT	
Puissance dissipée (mW)	Porte statique	10	19	2	8,5	1,2	5,5	-	-	0,001	-
	Porte à 100 kHz	10	19	2	8,5	1,2	5,5	0,075		0,1	0,1
	Compteur statique	300	500	100	-	60	190	-		0,001	10
	Compteur à 100 kHz	300	500	100	-	60	190	0,125		0,120	
Temps de propagation (ns)	Porte (typique)	10	3	9,5	1,5	4	3	7	7	40	
	Porte (maximum)	20	5	15	2,5	7	4	14	15	80	3,5
Fréq. max. d'horloge (MHz)	Bascule D (typique)	25	100	33	160	60	125	55		12	150
	Compteur (typique)	32	70	32	-	45	125	45		6	
Tension d'alimentation (V)		5 ± 5 %	5 ± 5 %	5 ± 5 %	5 ± 10 %	5 ± 10 %	5 ± 5 %	2 à 6	5 ± 10 %	3 à 15	2,7 - 3,6
Courant	I _{OL} min (mA)	16	20	8	20	8	20	4	4	6,8	64 (max)
	I _{OH} max (mA)	-0,4	-1	-0,4	-0,2	-0,4	-1	-	-	-6,8	-32
	I _{IL} max (mA)	-1,6	-0,2	-0,36	-0,5	-0,2	-0,6	0,001	± 0,001	-	-
	I _{IH} max (µA)	40	50	20	20	20	20	-	-	-	71 µA
Tension	V _{OL} max (V)	0,4	2,4V	0,5	0,5	0,5	0,5	0,1	0,1	0,1	0,55
	V _{OH} min (V)	0,4	2,7	2,7	V _{CC} - 2	V _{CC} - 2	2,5	4,9	4,9	4,9	2
	V _{IL} max (V)	0,8	0,8	0,7	0,8	0,8	0,8	1	0,8	0,8	0,8
	V _{IH} min (V)	2	2	2	2	2	2	3,5	2	2	2
Marge de bruit (V)	État haut	0,4	0,7	0,7	V _{CC} - 4	V _{CC} - 4	0,5	1,4	2,9	2,9	0,8
	État bas	0,4	0,3	0,2	0,3	0,3	0,3	0,9	0,7	0,7	1,2
Sortance (charge LS)	Standard	40	50	20	50	20	50	50		2	
	Amplis-bus	120	160	60	120	60	160	15		4	
Charge admissible des différentes familles (I _{OL} min / I _{IL} max) 74	74S	12	10	50	40	100	33	20 000	20 000		
	74LS	5	4	20	16	40	13	8 000	8 000		
	74AS	12	10	50	40	100	33	20 000	20 000		
	74ALS	5	4	20	16	40	13	8 000	8 000		
	74F	12	10	50	40	100	33	20 000	20 000		
	74HC	2	2	10	8	20	6	4 000	4 000		
	74HCT	2	2	10	8	20	6	4 000	4 000		

Remarque sur les courants d'entrée d'une porte logique CMOS :

Ils sont négligeables, au niveau des, comme au niveau haut.

Remarque sur les courants de sortie d'une porte logique CMOS :

La valeur est la même (ou signe spi) au niveau des, comme au niveau haut.

Remarque sur les courants d'entrée d'une porte logique TTL :

I_{IL} est beaucoup plus grand que I_{IH}.

Remarque sur les courants de sortie d'une porte logique TTL :

I_{OL} est beaucoup plus grand que I_{OH}.

Retrouvez d'autres cours sur le site ressource

www.gecif.net

Des cours et des TP de Génie Electrique

Des exercices et des évaluations avec corrections

Des ressources Flowcode, Automgen et ISIS Proteus

Des QCM pour réviser les cours et vous entraîner

Des logiciels à télécharger

Des dossiers techniques de systèmes originaux

Des fiches pratiques sur tous les domaines des sciences de l'ingénieur

Des sujets de BAC

Et bien plus encore sur Gecif.net !